

1. Publicação nº <i>INPE-3582-RTR/078</i>	2. Versão	3. Data <i>Julho, 1985</i>	5. Distribuição <input type="checkbox"/> Interna <input type="checkbox"/> Externa <input checked="" type="checkbox"/> Restrita
4. Origem <i>DCA/DEA</i>	Programa <i>SUBORD</i>		
6. Palavras chaves - seleccionadas pelo(s) autor(es) <i>TESTES ESTÁTICOS</i> <i>TESTE DE CIRCUITOS DIGITAIS</i>			
7. C.D.U.:			
8. Título <i>INTE - INTERFACE DE TESTES ESTÁTICOS</i>		10. Páginas: 22	
		11. Última página: 13	
9. Autoria <i>José Carlos Maldonado</i> <i>Ronaldo Luiz Dias Cereda</i>		12. Revisada por  <i>Álvaro O.C. de A. Goes</i>	
Assinatura responsável 		13. Autorizada por  <i>Marco Antonio Raupp</i> <i>Diretor Geral</i>	
14. Resumo/Notas <i>Este trabalho descreve as características funcionais da Interface de Testes Estáticos - INTE. A INTE é um recurso de teste desenvolvido para auxiliar na realização de testes em circuitos digitais.</i>			
15. Observações			

ABSTRACT

Functional features of the Static Testing Interface - INTE are described. The INTE is a test resource developed for support the test realization in digital circuits.

•••

SUMÁRIO

	<u>Pág.</u>
LISTA DE FIGURAS	v
LISTA DE TABELAS	vii
1 - <u>INTRODUÇÃO</u>	1
2 - <u>ARQUITETURA E DESCRIÇÃO FUNCIONAL DA INTE</u>	4
3 - <u>CONFIGURAÇÃO E INTERFACEAMENTO</u>	6
4 - <u>OPERAÇÃO DA INTE</u>	7
5 - <u>CONCLUSÕES E RECOMENDAÇÕES</u>	9
REFERÊNCIAS BIBLIOGRÁFICAS	11
REFERÊNCIAS COMPLEMENTARES	13

LISTA DE FIGURAS

	<u>Pág.</u>
1 - Diagrama de blocos da INTE	4
2 - Diagrama de blocos do registro de sinais de atuação da INTE..	5
3 - Arquitetura do MTSB/V1	7

LISTA DE TABELAS

	<u>Pág.</u>
1 - Características técnicas da INTE	3

1. INTRODUÇÃO

A Interface para Testes Estáticos (INTE) é um recurso de teste desenvolvido para auxiliar na realização dos testes de subsistemas de Supervisão de Bordo definidos pelo Padrão INPE de Supervisão de Bordo - PISB. O desenvolvimento do PISB tem como objetivo a especificação de unidades de processamento *modulares* visando a implementação de processamento distribuído, dando origem a um subsistema de Supervisão de Bordo descentralizado.

A característica de modularidade definida pelo PISB aponta para a necessidade de implementação de recursos automáticos de testes que minimizem esforços de validação dos módulos durante sua reprodução. Além disso, durante a Fase de Desenvolvimento do Subsistema de Supervisão de Bordo, torna-se necessário para a validação dos módulos funcionais e de subunidades, definidos pelo PISB, o acesso até ao nível dos componentes destas partes. Isto é viabilizado através da INTE. Essencialmente, a INTE permite a atuação e aquisição de sinais digitais num circuito digital em testes, constituindo uma ferramenta de *uso geral* para testes que visem estimular um circuito com sinais digitais e colher as respostas também digitais a estes estímulos. A INTE tem, em decorrência disto, uma variedade muito grande de possibilidades de utilização, podendo ter seu uso estendido desde a fase de validação dos módulos funcionais e das subunidades que compõem cada unidade funcional do subsistema de Supervisão de Bordo, provendo o acesso até mesmo ao nível dos componentes destas partes, até a fase de testes com o subsistema já integrado; quando poderá, por exemplo, ser utilizada para promover a interação de um sistema de teste com este subsistema, através de sua conexão com as UACs (Unidades de Aquisição e Controle) existentes no computador de bordo.

A INTE foi incorporada ao Monitor de Testes para Sistemas de Supervisão de Bordo - MTSB. O MTSB é um sistema de computador cuja função básica é prover recursos para a realização de todos os tipos de testes necessários no Subsistema de Supervisão de Bordo. Com

este enfoque consegue-se um sistema interativo que permite que um usuário, através de comandos fornecidos via console do sistema, possa controlar a sequência de testes, propiciados pela INTE, a que um determinado circuito digital deve ser submetido.

O interfaceamento entre a INTE e a UCP do MTSB se dá essencialmente através da CRU (Communication Register Unit) - E/S serial do processador TMS-9900/TEXAS - que faz com que todo o acesso a funções específicas da INTE se dê através das instruções dedicadas à CRU, a saber: LDCR; STCR; SBO; SBZ e TB.

As características técnicas principais da INTE são fornecidas na Tabela 1.

Na Seção 2 é apresentada a arquitetura da INTE e é feita uma descrição funcional baseada na arquitetura apresentada. Os aspectos de configuração da INTE no MTSB e os de interfaceamento da INTE com os sistemas em teste são abordados na Seção 3. Os aspectos de operação da INTE são apresentados na Seção 4. Finalmente, na Seção 5 apresentam-se sugestões de aperfeiçoamento do "hardware" e também de estruturação da programação da INTE.

TABELA 1

CARACTERÍSTICAS TÉCNICAS DA INTE

PARÂMETROS	ESPECIFICAÇÃO
Nº de linhas de entrada	108
Nº de linhas de saída	96
Níveis de tensão das linhas de entrada e saída	5V ou 12V selecionáveis através de chaves no painel
Fontes de alimentação requeridas	+ 5V e/ou + 12V
Tecnologia dos componentes	TTL
Dimensões físicas	115 x 264 x 388 mm
Tipos de conectores	CPU - INTE Conector RS-232-C, 50 pinos Conector das Placas Conector de 35 pinos, duplo passo 2,54mm INTE - Circuito em Testes Conectores RS-232-C 25 e 50 pinos
Endereços do espaço de "CRU"	1C00 até 1C1E 1C80 até 1C9E (5x) 1D00 1D80 1E28 até 1EFE

2 - ARQUITETURA E DESCRIÇÃO FUNCIONAL DA INTE

A INTE foi implementada basicamente com quatro grandes blocos funcionais como ilustrado na Figura 1.

O bloco Decodificador executa o interfaceamento entre a UCP e os demais blocos da INTE. Os sinais de entrada deste bloco são: um sinal de decodificação de endereços e de sinais de controle de memória; os sinais do barramento de endereço e a linha CRUCLK do CRU. Este bloco gera sinais de seleção para os outros blocos da INTE que viabilizam a entrada e saída propriamente ditas. Este bloco é implementado com "buffers" de E/S, com um decodificador e com portas "NAND" e inversoras.

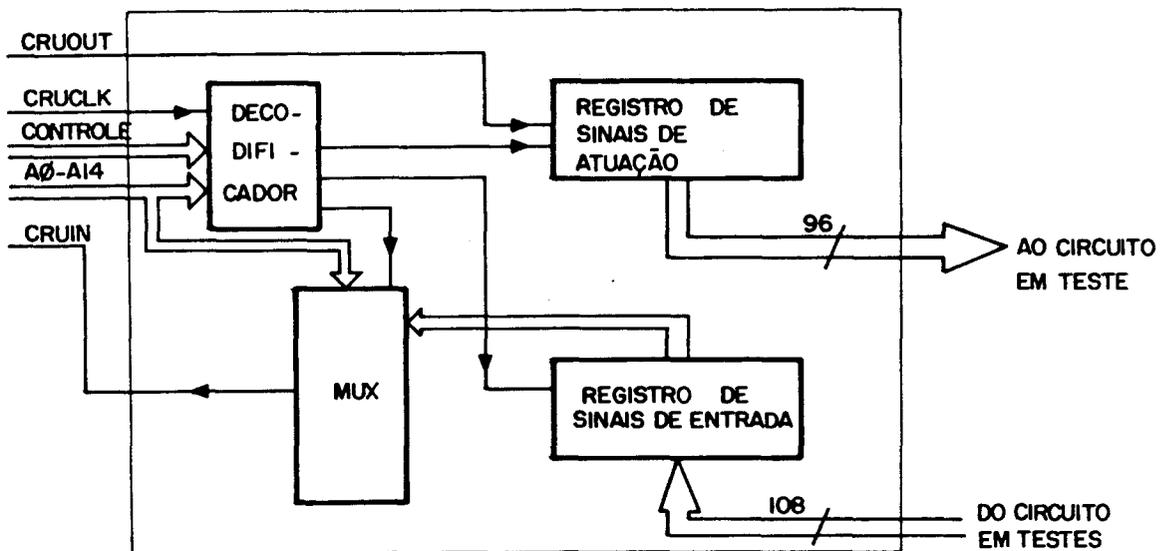


Fig. 1 - Diagrama de blocos da INTE.

O Registro de Sinais de Atuação é utilizado para armazenar os sinais de saída da INTE, os quais atuarão efetivamente no circuito digital em teste. Este registro é composto de dois campos distintos conforme a Figura 2.

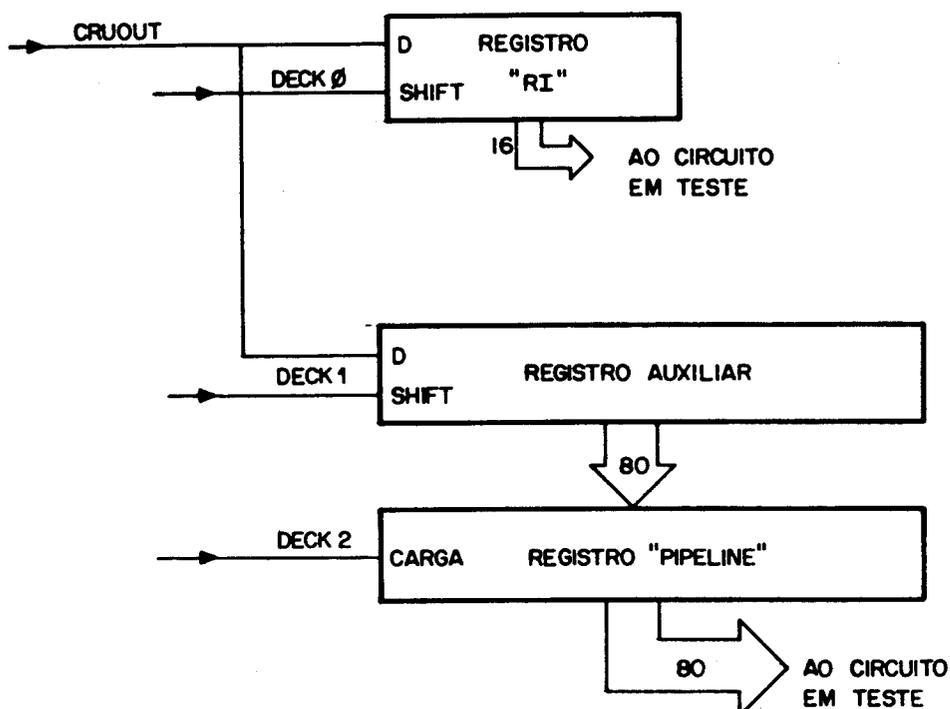


Fig. 2 - Diagrama de blocos do registro de sinais de atuação da INTE.

O 1º Campo - Registro RI - é implementado com um registro de deslocamento de 16 bits e o 2º campo é implementado com um registro de deslocamento de 80 bits denominado Registro Auxiliar, e um registro de carga paralela, também de 80 bits, denominado Registro PIPELINE. O Registro PIPELINE é utilizado para evitar transições no circuito digital em teste durante a carga do Registro Auxiliar. Cada um destes registros recebe uma linha de seleção distinta oriunda do bloco Decodificador. Os Registros de deslocamento recebem também a linha CRUOUT da CRU.

As peculiaridades da implementação do Registro de Sinais de Atuação deve-se ao fato de a INTE ter sido originalmente concebida para a simulação de unidades de microcontrole (Maldonado e Cereda, 1984) e, portanto, ter incorporado certas características inerentes à técnica de microprogramação. Sugestões para uma implementação da INTE voltada especificamente para testes de circuitos digitais são apresentadas na conclusão deste trabalho.

O Registro de Sinais de Entrada armazena os sinais digitais adquiridos do circuito em teste. O armazenamento destes sinais é provocado por um sinal de seleção recebido do bloco Decodificador. Os sinais armazenados neste registro podem ser lidos através de um multiplexador, com o uso das instruções de CRU.

3 - CONFIGURAÇÃO E INTERFACEAMENTO

Neste item são discutidos aspectos de configuração da INTE com o MTSB e do interfaceamento da INTE com o circuito em teste.

No MTSB, a INTE é vista como uma das interfaces dedicadas do sistema. O acesso à INTE é realizado exclusivamente através da CRU. A Figura 3 ilustra a configuração da INTE no MTSB/V1. A INTE deverá também ser utilizada nas futuras versões do MTSB (Cereda, no prelo).

O interfaceamento da INTE com o circuito em teste é realizado através de garras "microhook" individuais numeradas sequencialmente obedecendo uma correspondência com a seqüência de endereços de CRU a elas associados. Estas garras são levadas ao circuito em teste através de "flatcable". Os endereços do espaço de CRU associados a esta interface estão compreendidos na faixa 1C00 até 1F00. Os sinais de entrada estão na faixa de 1C00 até 1D7E e os de saída, na faixa 1D80 até 1EFE, conforme detalhado na Tabela 1.

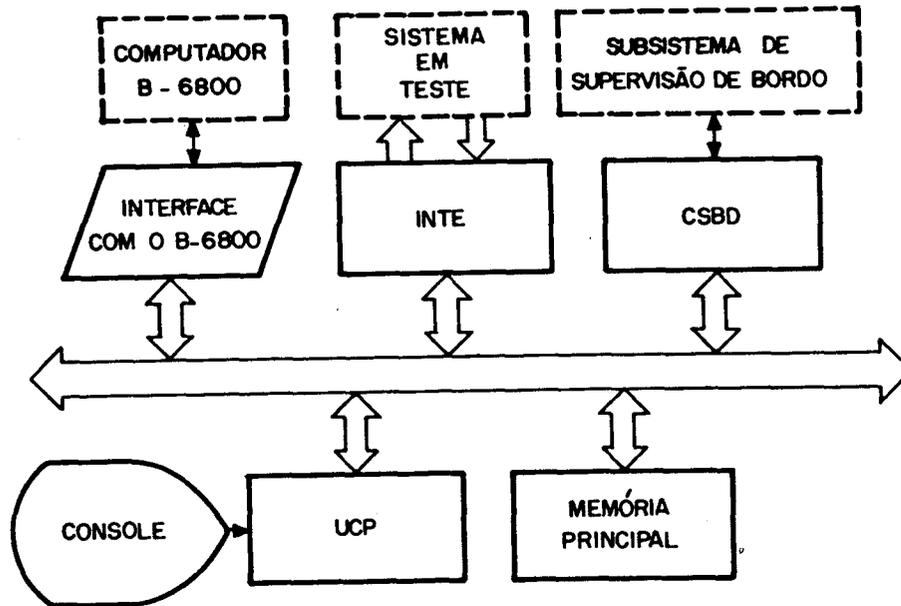


Fig.3 - Arquitetura do MTSB/V1.

4 - OPERAÇÃO DA INTE

Neste item são discutidos alguns aspectos de programação imprescindíveis à operação da INTE.

Para a ativação dos sinais de saída da INTE, as seguintes ações devem ser efetuadas:

a) Carga do RI

Para a realização da operação de carga do RI, é necessária basicamente a execução de uma instrução de CRU-LDCR (16 bits), associada ao endereço-base 1C00.

b) Carga do PIPELINE

Para a realização da operação de carga do PIPELINE, é necessária a execução de duas ações consecutivas:

b1) Inicialmente deverá ser carregado o Registro Auxiliar composto de 80 bits. Esta carga é feita através da execução da instrução LDCR (16 bits), associada ao endereço-base 1C80, repetida cinco vezes.

b2) Em seguida deverá ser carregado o Registro PIPELINE, o que pode ser feito através da execução de qualquer uma das instruções de saída de CRU (SBO, SBZ ou LDCR), associada ao endereço-base 1D00.

O procedimento acima descrito, necessário para a carga do Registro PIPELINE, mostra que para a alteração de um certo número de bits deste registro nova carga total deve ser realizada.

Isto torna necessário que seja criada uma imagem do Registro PIPELINE ao nível de programação, ou seja, uma variável deverá conter a última configuração deste registro, uma vez que os bits armazenados no registro serão todos necessariamente alterados com a nova carga.

Para a leitura dos sinais de entrada da INTE, as seguintes ações devem ser efetuadas:

a) Carga do Registro de Sinais de Entrada

Para a realização da operação de carga do Registro de Sinais de Entrada, e conseqüentemente a aquisição dos sinais do circuito em teste, é necessária a execução de uma instrução de saída de CRU (SBO, SBZ, LDCR), associada ao endereço-base 1D80.

b) Leitura do conteúdo do Registro de Sinais de Entrada

A leitura do conteúdo do Registro de Sinais de Entrada é realizada através de um multiplexador de 108 x 1 ligado à linha CRUIN da CRU. Desta maneira, utiliza-se toda a flexibilidade propiciada pela CRU em operações de leitura, ou seja, um número qualquer de bits, compreendido entre 1 e 16, pode ser lido tendo início em qualquer posição do Registro de Sinais de Entrada. Em nível de programação, qualquer composição destes campos pode ser realizada. O endereço inicial de CRU, associado ao multiplexador, é 1E28 (indo até o endereço 1EFE).

5 - CONCLUSÕES E RECOMENDAÇÕES

Em face dos fatos apontadas nas Seções 2 e 4, que implicam maior complexidade do "software" que manipula a INTE, propõe-se que, em reproduções futuras desta interface, o Registro de Sinais de Atuação seja implementado através de registros endereçáveis ("Addressable Latches"). Esta modificação possibilitará que um sinal de saída tenha o seu valor alterado direta e independentemente dos demais, o que evitaria a necessidade da manutenção de uma imagem deste registro ao nível de programação. A manutenção do Registro PIPELINE é necessária no sentido de, principalmente, evitar configurações indesejáveis durante a alteração da configuração dos sinais de saída.

Para uma boa utilização da INTE, o "software" de manipulação desta interface deverá levar em conta que a principal característica do PISB é a modularidade. Desta maneira, o "software" da INTE deve ser estruturado em módulos-padrão, compatíveis com as necessidades de teste de cada um dos módulos de "hardware", definidos pelo PISB.

A implementação do "software" seria caracterizada por duas fases:

- a) numa 1ª etapa seriam programadas funções básicas de atuação/a-
- b) numa etapa posterior, poder-se-iam implementar os módulos-padrão de "software", que seqüenciassem as funções básicas já implementadas, caracterizando uma seqüência integral de testes de um determinado módulo-padrão de "hardware".

Toda a versatilidade propiciada pela INTE, principalmente caracterizada pelo possível desenvolvimento estruturado do "software" do sistema e a conseqüente facilidade de atualização e inserção de novos módulos de "software", traz consigo, devido às características dos microprocessadores disponíveis, limitações de velocidade com respeito à taxa de aquisição e atuação no circuito digital sob teste. Esta limitação de velocidade surge em decorrência da relação direta existente entre a taxa de atuação/aquisição e o ciclo de instrução do microprocessador que define tempos comparativamente maiores em relação aos tempos de equipamentos convencionais de teste tais como: geradores de palavras, analisadores de estados lógicos, etc. No entanto, esta característica não é uma restrição para a maioria dos circuitos a serem testados.

REFERÊNCIAS BIBLIOGRÁFICAS

MALDONADO, J.C.; CEREDA, R.L.D. *S-MICRO-Sistema para simulação de unidade de controle microprogramada*. INPE-3224-PRE/575. São José dos Campos, 1984.

CEREDA, R.L.D. - *MTSB - Monitor de Testes para Sistemas de Supervisão de Bordo. Estado geral do projeto em Dez/84 (no prelo)*.

BIBLIOGRAFIA COMPLEMENTAR

DE PAULA, A.R. et alii. *Síntese do Padrão INPE de Supervisão de Bordo (PISB) aplicado à MECB-1: Estado geral do projeto em Set/83 - INPE-3111 - RTR/049 - São José dos Campos, 1984.*