



MINISTÉRIO DA CIÊNCIA E TECNOLOGIA
INSTITUTO DE PESQUISAS ESPACIAIS

AUTORIZAÇÃO PARA PUBLICAÇÃO
AUTHORIZATION FOR PUBLICATION

PALAVRAS CHAVES/KEY WORDS		AUTORIZADA POR / AUTHORIZED BY	
COMUNICAÇÃO DE DADOS, TOLERÂNCIA A FALHAS, DISPONIBILIDADE.		Marco Antonio Rampel - Diretor Geral	
AUTOR RESPONSÁVEL RESPONSIBLE AUTHOR		REVISADA POR / REVISED BY	
Antonio Esio M. Salgado		Mauro Hissao Hashioka	
DISTRIBUIÇÃO/DISTRIBUTION		DATA / DATE	
☐ INTERNA / INTERNAL ☒ EXTERNA / EXTERNAL ☐ RESTRITA / RESTRICTED		Agosto 1987	
CDU/UDC		ORIGEM ORIGIN	
681.3.012		DCA	
PUBLICAÇÃO Nº PUBLICATION NO		PROJETO PROJECT	
INPE-4305-PRE/1171		MCE/ESA	
TÍTULO/TITLE		Nº DE PAG. NO OF PAGES	
AVALIAÇÃO DE UM MULTIPROCESSADOR DE COMUNICAÇÃO EM REDE TOLERANTE A FALHAS		20	
AUTORES/AUTHORSHIP		ÚLTIMA PAG. LAST PAGE	
Antonio Esio Marcondes Salgado		12	
		VERSÃO VERSION	
		01	
		Nº DE MAPAS NO OF MAPS	
RESUMO - NOTAS / ABSTRACT - NOTES			
Neste trabalho é feita a análise do equipamento Multiprocessador de Comunicação em Rede (MCR), em sua configuração atual, relativa à sua confiabilidade e disponibilidade. Em seguida é proposta uma nova arquitetura com mecanismos de tolerância a falhas, visando uma melhoria nestes parâmetros. A concepção desta nova arquitetura tem como princípio a utilização dos circuitos já existentes, com modificações mínimas quando necessário. Por fim, os valores obtidos para confiabilidade e disponibilidade são comparados com os valores atuais para haver uma visão dos benefícios alcançados.			
OBSERVAÇÕES/REMARKS			
Este trabalho será apresentado no II Simpósio em Sistemas de Computadores Tolerantes a Falhas, que se realizará na UNICAMP, Campinas - Agosto/87.			



PROPOSTA PARA PUBLICAÇÃO

DATA

20.07.87

IDENTIFICAÇÃO	TÍTULO	
	AVALIAÇÃO DE UM MULTIPROCESSADOR DE COMUNICAÇÃO EM REDE TOLERANTE A FALHAS	
	AUTORIA	PROJETO/PROGRAMA
	ANTONIO ESIO MARCONDES SALGADO	MCE/ESA
		DIVISÃO
		ARC
		DEPARTAMENTO
		DCA
DIVULGAÇÃO ☒ EXTERNA ☐ INTERNA MEIO: PRE		

REVISÃO TÉCNICA	REVISOR TÉCNICO	APROVADO: ☐ SIM ☐ NÃO ☐ VER VERSO	APROVAÇÕES
	Alderico R. de Paula Junior	DATA _____ CHEFE DIVISÃO _____	
	RECEBI EM: _____ REVISADO EM: _____	APROVADO: ☒ SIM ☐ NÃO ☐ VER VERSO	
	OBSERVAÇÕES: ☐ NÃO HÁ ☐ VER VERSO	19.08.87 <i>Eduardo Whitaker Bergamini</i> DATA Chefe de Departamento	
	DEVOLVI EM: _____ ASSINATURA <i>Alderico R. de Paula Junior</i>		

REVISÃO DE LINGUAGEM	Nº: _____ PRIORIDADE: _____	O(S) AUTOR(ES) DEVE(M) MENCIONAR NO VERSO, OU ANEXAR NORMAS E/OU INSTRUÇÕES ESPECIAIS	DATILOGRAFIA
	DATA: _____		
	REVISADO ☐ COM ☐ SEM CORREÇÕES ☐ VER VERSO		
	POR: 19/8/87 DATA <i>Esio Salgado</i> ASSINATURA		
	RECEBIDO EM: _____		
	CONCLUÍDO EM: _____		
	DATILÓGRAFA: <i>Ana Maria / 317</i>		
		<i>Ana Maria</i> ASSINATURA	

PARECER	
FAVORÁVEL: ☐ SIM ☐ NÃO	☐ VER ☐ VERSO
DATA _____	RESPONSÁVEL/PROGRAMA _____

EM CONDIÇÕES DE PUBLICAÇÃO EM: 19/8/87	<i>Esio Salgado</i> AUTOR RESPONSÁVEL
--	--

AUTORIZO A PUBLICAÇÃO: ☐ SIM ☐ NÃO	
DIVULGAÇÃO ☐ INTERNA ☐ EXTERNA MEIO: _____	
OBSERVAÇÕES: _____	
DATA _____	DIRETOR _____

SEC	PUBLICAÇÃO: 4305PRE/1171	PÁGINAS: _____	ÚLTIMA PÁGINA: _____
	CÓPIAS: _____	TIPO: _____	PREÇO: _____

ABSTRACT

In this work an analysis of the Network Communication Multiprocessor (MCR) concerning its availability and reliability parameters is presented. A new configuration including fault tolerant mechanisms is proposed in order to have better values to these parameters. The basic design goal of this new architecture is to use the available hardware with minimal modifications. Finally, the values of availability and reliability of the proposed architecture are compared with the existing ones in order to show the benefits obtained.

SUMÁRIO

	<u>Pág.</u>
LISTA DE FIGURAS	<i>v</i>
LISTA DE TABELAS	<i>vii</i>
1 - INTRODUÇÃO	1
2 - ARQUITETURA DO MCR	2
3 - DISPONIBILIDADE DO MCR	3
4 - ARQUITETURA PROPOSTA	6
4.1 - Modificações no MCR devido à nova Arquitetura	8
5 - CÁLCULO DA DISPONIBILIDADE PARA ARQUITETURA PROPOSTA	9
6 - CONCLUSÃO	12

LISTA DE FIGURAS

	<u>Pág.</u>
1 - DIAGRAMA DE BLOCOS DO MCR	2
2 - DIAGRAMA DE BLOCOS DA ARQUITETURA PROPOSTA	6
3 - CONTROLE EXERCIDO PELO ÁRBITRO	7
4 - DIAGRAMA DE TRANSIÇÃO DE ESTADOS PARA O CASO DE "K" PEs	9

LISTA DE TABELAS

	<u>Pág.</u>
1 - DISPONIBILIDADE PARA A ARQUITETURA ATUAL COM O USO DE COMPONENTES COMERCIAIS	5
2 - DISPONIBILIDADE PARA A ARQUITETURA ATUAL COM O USO DE COMPONENTES MAIS CONFIÁVEIS	5
3 - DISPONIBILIDADE PARA A ARQUITETURA PROPOSTA COM O USO DE COMPONENTES COMERCIAIS	11

AValiação DE UM MULTIPROCESSADOR DE COMUNICaÇÃO

EM REDE TOLERANTE A FALHAS

1 - INTRODUÇÃO

O Multiprocessador de Comunicação em Rede (MCR) é um equipamento de arquitetura distribuída com aplicação prevista para controle de interfaces seriais de comunicação síncrona e assíncrona, implementando para isto os níveis mais baixos de protocolos de comunicação e rotinas auxiliares de roteamento.

Os diversos processadores trabalham no esquema mestre-escravo, cabendo ao processador mestre a supervisão da comunicação entre os demais processadores (escravos), que por sua vez são dedicados ao controle das interfaces de E/S existentes. Estas interfaces trabalham no modo serial, síncrono ou assíncrono, e com protocolo específico que opera na rede estejam eventualmente ligadas.

O MCR pode ser conectado a outros MCRs através de um barramento semelhante ao que interliga os seus módulos internamente. No caso de conexão entre MCRs é necessária a utilização de um circuito específico, dotado de processador próprio, que supervisione a comunicação de dados entre estas máquinas.

A arquitetura em uso não dispõe de mecanismos que implementem qualquer redundância a nível de circuito. A natureza da aplicação deste equipamento motivou estudos que visam a implementação de uma arquitetura alternativa, que não altere as características gerais do equipamento.

As arquiteturas, atual e proposta, são avaliadas através do parâmetro disponibilidade, que é obtido a partir das taxas de falhas dos componentes, placas e módulos, e taxa de reparo estimada para o equipamento.

2 - ARQUITETURA DO MCR

O diagrama de blocos MCR é mostrado na Figura 1.

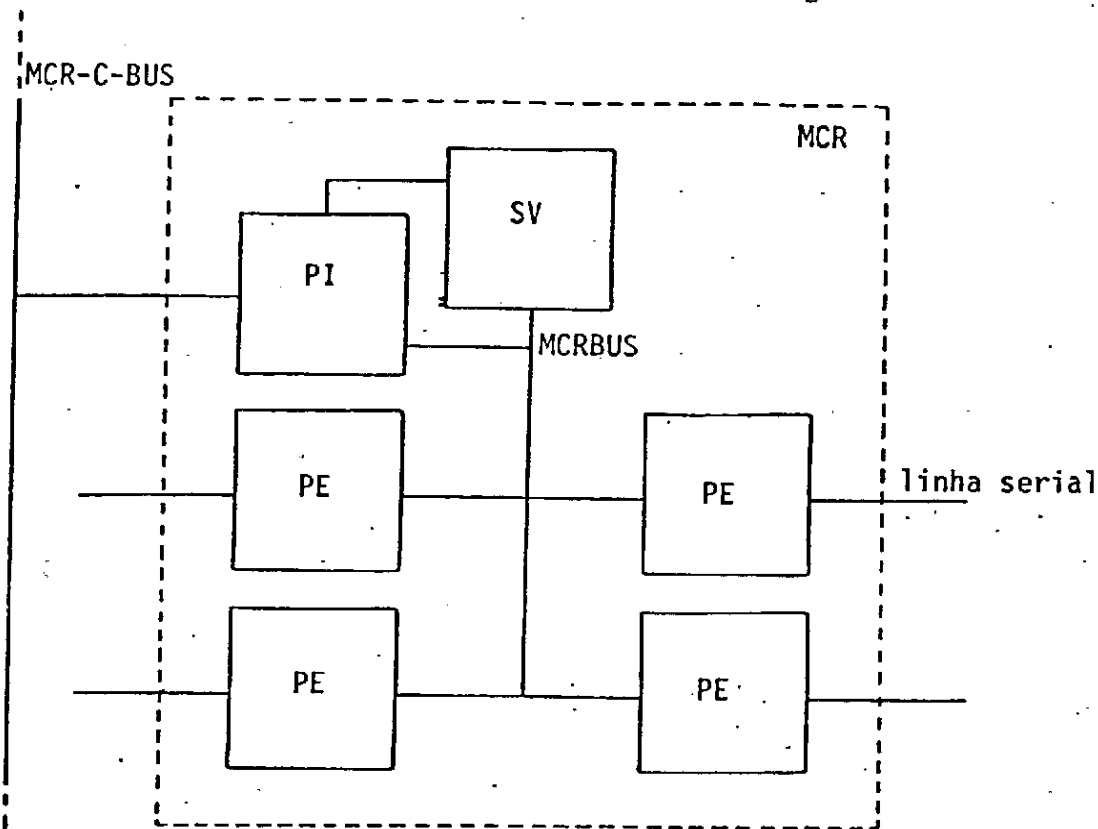


Fig. 1 - Diagrama de blocos do MCR.

O módulo denominado SUPERVISOR (SV) e os módulos denominados PORTAS EXTERNAS (PE) possuem microprocessador próprio. A PORTA INTERNA (PI) por sua vez trata-se de um módulo sem UCP própria e o seu controle está a cargo do SV. Dentro da hierarquia mestre-escravo, o mestre é o SV, enquanto que os escravos são as PEs e a PI.

O SV tem como função controlar o fluxo de dados no âmbito interno do MCR, bem como "checar" o funcionamento dos demais módulos (PEs e PI), executando rotinas de diagnose.

A tarefa de controlar o fluxo de dados internamente faz com que o SV assuma o total controle do barramento interno do MCR, denominado MCRBUS. É através deste barramento que são executadas as trocas de mensagens PE ($\leftrightarrow$) PE, PE ($\leftrightarrow$) PI e PE ($\leftrightarrow$) SV.

A PI é a interface utilizada pelo MCR na conexão com outros MCRs, o que é feito através de um barramento semelhante ao barramento interno MCRBUS, com vias paralelas. Este barramento, denominado MCR-C-BUS, é controlado externamente por um computador (CSV). A troca de mensagens no MCR-C-BUS pode ser entre MCRs ou mesmo entre MCRs e CSV. A PI possui três acessos distintos que são:

- CPUBUS, que permite a conexão com o SV;
- MCRBUS, que permite a conexão com as PEs;
- MCR-C-BUS, que permite a conexão com o CSV e demais MCRs.

Trata-se de um banco de memórias no qual são armazenadas temporariamente as mensagens que fluem de/para o MCR através do MCR-C-BUS (de/para CSV e demais MCRs do nó). Internamente ao MCR essas mensagens são carregadas/absorvidas da PI através do MCRBUS (PEs) ou CPUBUS (SV).

Na PE são implementadas as interfaces seriais do MCR. Cada PE gerencia uma interface serial, executando para isto as rotinas que fazem parte dos níveis inferiores do protocolo de comunicação que opera na rede a qual está ligada.

O MCR pode ter até 7 PEs numa mesma configuração, sendo que a arquitetura em uso conta com 4 PEs.

As UCPs utilizadas nos módulos SV e PEs são idênticas e estão montadas em placas denominadas CPUPADRÃO. O módulo SV/PI é formado pela placa CPUPADRÃO em conjunto com a placa Unidade PE. A ligação entre a placa CPUPADRÃO e a placa adicional para configurar um módulo (SV/PI ou PE) é feita através do barramento denominado CPUBUS.

A arquitetura com SV, PI e 4 PEs tem um total de 10 placas de circuito (SV/PI = 2 placas, 4xPEs = 4x2 placas).

3 - DISPONIBILIDADE DO MCR

Este trabalho analisa o equipamento MCR em suas funções básicas de gerenciamento de linhas seriais, tratando-o separadamente dos demais equipamentos que compõem um nó da rede. Para tanto, o cálculo da disponibilidade da arquitetura atual não leva em consideração a operação da Porta Interna (PI), que é a interface entre o MCR e os demais componentes do nó. Sob este aspecto são considerados para o cálculo o SV e as PEs.

A disponibilidade do equipamento MCR é obtida a partir da taxa de falhas de seus componentes e da taxa de reparo considerada.

A taxa de falhas de cada componente eletrônico foi calculada seguindo as normas MIL-217-D, e os parâmetros utilizados foram obtidos a partir de normas fornecidas pelos fabricantes.

Para o cálculo da taxa de falhas das placas considerou-se:

- a falha em um componente implica a falha da placa como um todo, considerando-se neste caso a operação degradada como um estado de falha;
- foram desprezadas as taxas de falhas dos resistores e capacitores por serem estas muito menores que as taxas de falhas dos CIs.

Para os módulos que compõem o MCR foram obtidas as seguintes taxas de falhas:

Supervisor:

$$\lambda_{SV} = 227,79 \text{ f}/10^6 \text{ h} \quad (1)$$

$$\lambda_{SV} = 86,48 \text{ f}/10^6 \text{ h} \quad (2)$$

Porta Externa:

$$\lambda_{PE} = 422,51 \text{ f}/10^6 \text{ h} \quad (1)$$

$$\lambda_{PE} = 113,84 \text{ f}/10^6 \text{ h} \quad (2)$$

(1) utilizando componentes comerciais com encapsulamento plástico.

(2) utilizando componentes TTL com encapsulamento plástico e, componentes da série 82XX (INTEL) e memórias com encapsulamento cerâmico.

O cálculo da taxa de falhas de todo o equipamento foi feito utilizando o modelamento série ao nível de módulos (SV e PEs), dado que a falha em um módulo pode levar o equipamento a uma falha total, no caso do SV; ou a uma operação degradada, no caso das PEs, o que é considerado operação fora das especificações e portanto um estado de falha. Desta forma, a taxa de falhas do equipamento varia conforme o nº de PEs utilizado (máximo de 7) e é obtida somando as taxas de falhas dos módulos que compõem o MCR (SV e PEs).

Dois critérios de manutenção foram observados ao se obter a taxa média de reparos e, desta maneira, foram obtidos dois valores de disponibilidade para cada configuração, cada um considerando um critério de manutenção. Estes critérios são:

CRITÉRIO 1 - Substituição de placas defeituosas em caso de falhas, o que resulta em um tempo médio para manutenção de 30 minutos (0,5 h). Neste caso a taxa média de reparos é $1/\text{tempo médio de reparo}$, onde "tempo médio de reparo" é igual à soma do "tempo médio de espera" com o "tempo médio de manutenção"; ou seja, "tempo médio de reparo" = $5\text{h} + 0,5\text{h}$, $\mu_{MCR} = 1/5,5\text{h} = 181818,18 \text{ f}/10^6 \text{ h}$, sendo que o tempo médio de espera foi obtido considerando que o equipamento não é assistido 15 horas por dia e tem atendimento imediato durante o expediente normal do técnico de plantão.

CRITÉRIO 2 - Manutenção das placas defeituosas em caso de falhas, o que implica um tempo médio para manutenção de 7h. Neste caso a taxa média de reparos é dada por $\mu_{MCR} = 1/12\text{h} = 83333,3 \text{ r}/10^6 \text{ h}$.

As tabelas 1 e 2 apresentam os valores obtidos para a disponibilidade do MCR variando o número de PEs, utilizando os dois tipos de componentes comerciais mencionados (encapsulamento plástico e encapsulamento cerâmico) e as duas taxas médias de reparo estimadas.

Nº PEs	DISPONIBILIDADE		INDISPONIBILIDADE	
	CASO 1	CASO 2	CASO 1	CASO 2
2	99,41%	98,73%	$5,87/10^3$	$1,27/10^2$
3	99,18%	98,24%	$8,16/10^3$	$1,76/10^2$
4	98,96%	97,75%	$1,04/10^2$	$2,25/10^2$
5	98,73%	97,27%	$1,27/10^2$	$2,73/10^2$
6	98,50%	96,79%	$1,49/10^2$	$3,21/10^2$
7	98,28%	96,32%	$1,72/10^2$	$3,68/10^2$

Tabela 1: Disponibilidade para a arquitetura atual com o uso de componentes comerciais.

Nº PEs	DISPONIBILIDADE		INDISPONIBILIDADE	
	CASO 1	CASO 2	CASO 1	CASO 2
2	99,83%	99,62%	$1,73/10^3$	$3,76/10^3$
3	99,77%	99,49%	$2,35/10^3$	$5,11/10^3$
4	99,70%	99,35%	$2,97/10^3$	$6,46/10^3$
5	99,64%	99,22%	$3,59/10^3$	$7,81/10^3$
6	99,58%	99,09%	$4,22/10^3$	$9,15/10^3$
7	99,52%	98,95%	$4,84/10^3$	$1,05/10^2$

Tabela 2: Disponibilidade para a arquitetura atual com o uso de componentes mais confiáveis.

CASO 1: $\mu_{MCR} = 181818,18 \text{ f}/10^6\text{h}.$

CASO 2: $\mu_{MCR} = 83333,3 \text{ r}/10^6\text{h}.$

4 - ARQUITETURA PROPOSTA

A proposta de uma nova arquitetura para o MCR tem como objetivo ser um estudo exploratório, através do qual procura-se contornar os pontos de falha simples apresentados na arquitetura atual, utilizando técnicas de tolerância a falhas como meio de obter uma melhoria nos parâmetros confiabilidade e disponibilidade. Esta arquitetura foi concebida partindo do princípio de que a estrutura básica do equipamento não deveria sofrer modificações profundas com a implementação dos mecanismos utilizados para minimizar os pontos de falha simples.

O diagrama de blocos da arquitetura proposta é apresentado na Figura 2.

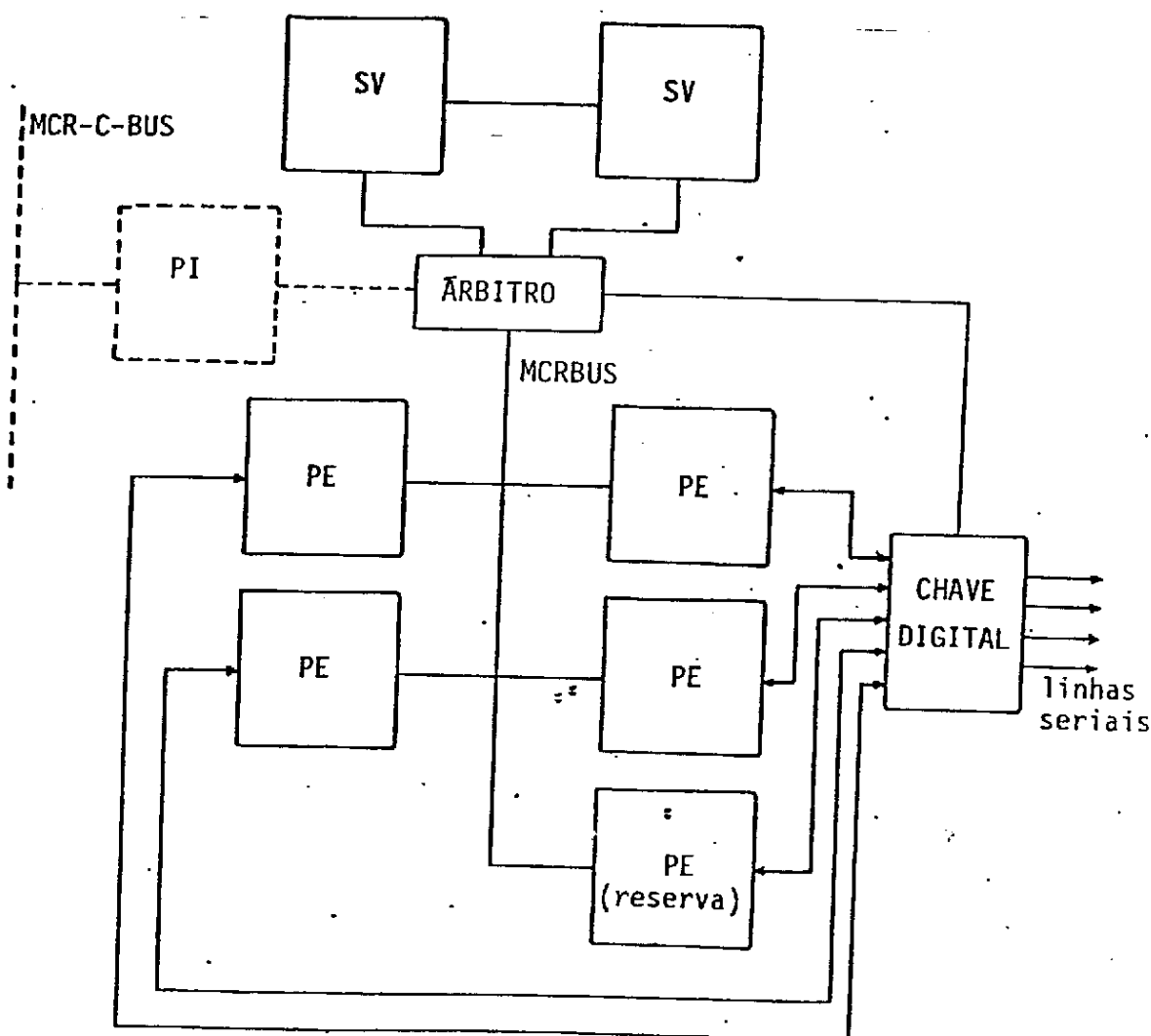


Fig. 2 - Diagrama de blocos da arquitetura proposta.

O problema de paralização devido a falha simples no módulo SV é contornado com a utilização de dois SVs, acrescidos de detecção de falhas concorrente com a operação. A operação destes dois SVs deve ser simultânea com um SV ativo e outro SV reserva, do tipo "hot standby".

O "árbitro" tem a função básica de decidir qual dos dois SVs em operação deve ter o controle do MCR. Em operação normal o MCR possui um SV ativo e outro reserva. Cabe ao SV ativo controlar o MCRBUS (PEs), a "chave digital" proposta, e a PI.

A liberação dos sinais de controle gerados pelas SVs, para que estes atuem efetivamente, é feita pelo "árbitro" através da liberação de portas de alta impedância, as quais estes sinais estão ligados. A figura 3 ilustra este tipo de controle.

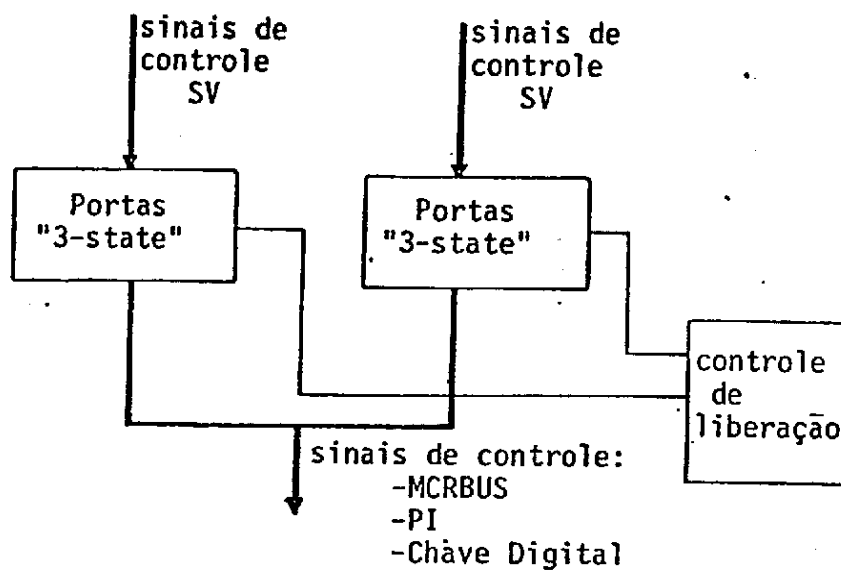


Fig. 3 - Controle exercido pelo "árbitro".

O princípio básico de operação do "árbitro" é a comparação dos sinais constantes no barramento de dados dos dois SVs (ativo e reserva) a cada operação de leitura ou escrita na memória e nas portas de E/S. Para que haja successo nesta comparação é necessário que os SVs trabalhem sincronizados e isto é conseguido implementando um relógio único (clock), o qual está localizado no próprio "árbitro" e é utilizado pelos dois SVs. Este relógio é de 6,144 MHz.

Para o caso de falha nas PEs é utilizada uma PE reserva que é chaveada pelo SV em caso de falha de uma das PEs ativas. A carga inicial para configurar a PE reserva em ativa é feita com auxílio do SV.

A "chave digital" é o circuito responsável pela conexão / desconexão das linhas seriais externas as PEs. Em caso de falha de uma das PEs ativas, a linha serial conectada a esta PE que falhou é chaveada para a PE reserva. Esta ação é feita pela "chave digital" sob comando do SV ativo.

Além dos mecanismos propostos, a nova arquitetura prevê a opção de manutenção de módulos defeituosos com o sistema ligado ("on line"), o que implica uma melhora sensível na disponibilidade obtida, com paradas mínimas para manutenção.

4.1 - MODIFICAÇÕES NO MCR DEVIDO À NOVA ARQUITETURA

A aplicação da nova arquitetura, com a inclusão do "árbitro", "chave digital", e SV reserva, PE reserva e manutenção "on line", requer algumas modificações nos circuitos que atualmente compõem o MCR.

O circuito do "árbitro" deverá ocupar a mesma placa que a PI, enquanto o SV passa a ser composto por uma única placa.

O circuito da placa SV deverá ser composto pelo circuito da placa CPU padrão mais os circuitos adicionais do SV que atualmente fazem parte da Unidade Porta Interna, que são o controlador de interrupções, decodificadores e interface com o MCRBUS. A utilização de um relógio ("clock") único por parte dos SVs implica a não-utilização de cristal na placa SV e requer a colocação de "drivers" na entrada de relógio da UCP (8085-A). Estes "drivers" já são disponíveis no circuito existente.

A utilização da "chave digital" requer mudanças nas saídas da interface serial das PEs. O nível de tensão nestas saídas não necessita ser convertido para $\pm 12V$ (RS 232 C) e os circuitos 1488 e 1489 que fazem esta conversão devem ser substituídos por "drivers" TTL 74LS125, para que a conexão PEs - "chave digital" seja feita em nível TTL (0-5V). A conversão para $\pm 12V$ é feita na "chave digital".

A manutenção "on line" exige a colocação de pequenas chaves nas placas do SV e PEs, de maneira a garantir a condição de alta impedância nos "drivers" para os barramentos. Antes de ser instalada no gabinete, a placa precisa ser alimentada (+ 5V/2A através de cabo puxado da fonte de alimentação) e ter seus "drivers" em alta impedância. Uma vez instalada a placa no gabinete, a chave que garante o estado de alta impedância para os "drivers" deve ser desativada e o circuito inicializado.

As taxas de falhas obtidas para os módulos e as placas que compõem o MCR na nova arquitetura são:

SUPERVISOR: (A taxa de falhas é dada pela taxa de falhas da placa SV.):

$$\lambda_{SV_P} = 227,2922 \text{ f}/10^6 \text{ h.}$$

PORTA EXTERNA: (A taxa de falhas é dada pela soma das taxas de falhas das placas CPU padrão e Unidade Porta Externa-p.):

$$\lambda_{PEP} = 421,727 \text{ f}/10^6 \text{ h.}$$

"ÁRBITRO": (A taxa de falhas é dada pela taxa de falhas do circuito do "árbitro", o qual faz parte da placa PI + "árbitro".):

$$\lambda_{ARB} = 19,0533 \text{ f}/10^6 \text{ h.}$$

"CHAVE DIGITAL": (A taxa de falhas é dada pela taxa de falhas da placa "Chave digital").):

$$\lambda_{CD} = 23,9005 \text{ f}/10^6 \text{ h.}$$

5 - CÁLCULO DA DISPONIBILIDADE PARA ARQUITETURA PROPOSTA

Os cálculos de disponibilidade para a arquitetura proposta foram feitos para um mínimo de 2 PEs (1 PE ativa e 1 reserva) e um máximo de 7 PEs (6 PEs ativas e 1 PE reserva).

O diagrama de transição de estados para o caso de "K" PEs ($3 < K < 7$) é mostrado na Figura 4.

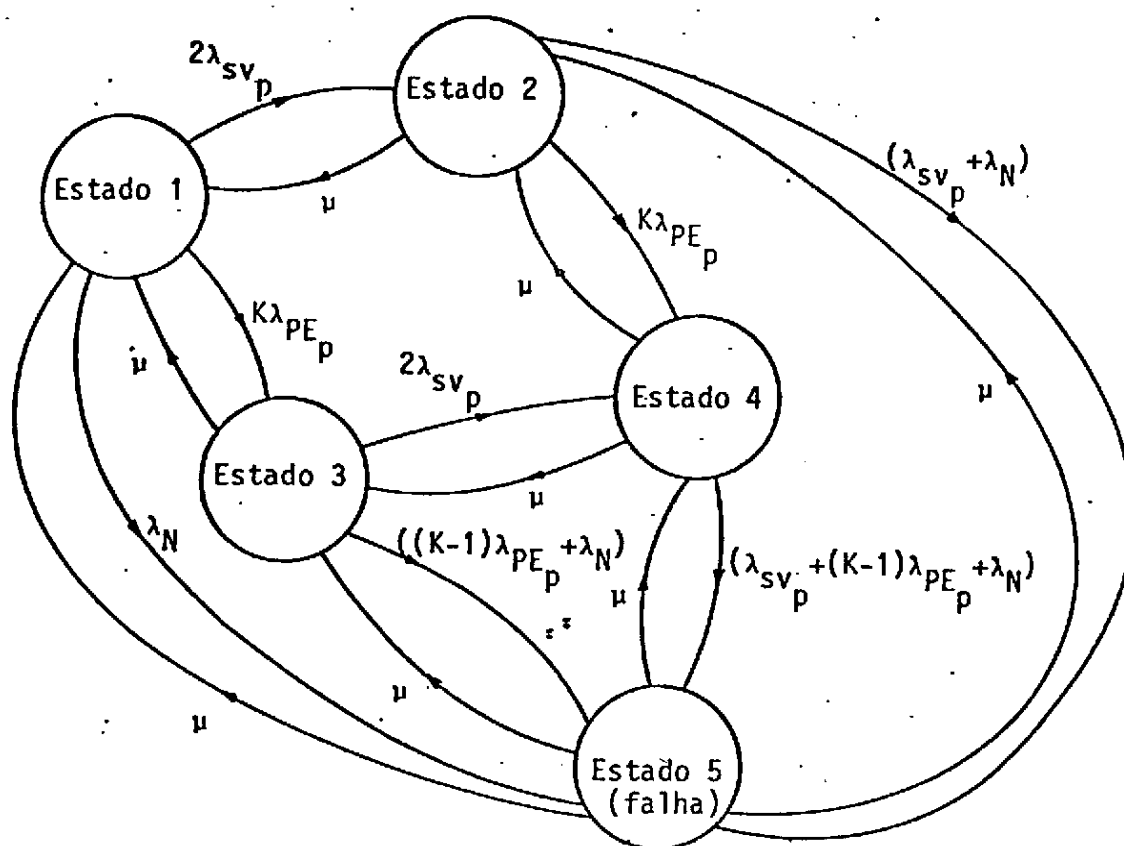


Fig. 4 - Diagrama de transição de estados para o caso de "K" PEs.

Os estados indicados são:

ESTADO 1: 2 SVs + KPEs + N funcionando;

ESTADO 2: 1 SV + KPEs + N funcionando,
1 SV não funcionando;

ESTADO 3: 2 SVs + (K-1)PEs + N funcionando, e
1 PE não funcionando;

ESTADO 4: 1 SV + (K-1)PEs + N funcionando, e
1 SV + 1 PE não funcionando;

ESTADO 5: estado de falha.

onde N = "árbitro" + "chave digital".

O critério de manutenção para o equipamento considera até quatro servidores. Desta forma, para o caso de falha de 2 módulos (1 SV e 1 PE), o atendimento para manutenção é feito para ambos. Este caso é mostrado no diagrama de estados através do Estado 4 (1 SV e 1 PE não funcionando), onde o próximo estado ativo (Estado 2 ou 3) é alcançado conforme qual trabalho de manutenção seja concluído primeiro (SV ou PE).

As taxas de transição indicadas no diagrama de transição de estados são:

$$\lambda_{SVP} = 227,2922 \text{ f}/10^6 \text{ h},$$

$$\lambda_{PE_P} = 421,727 \text{ f}/10^6 \text{ h},$$

$$\lambda_N = \lambda_{ARB} + \lambda_{CD} = (19,0533 + 23,9005) \text{ f}/10^6 \text{ h} = 42,9538 \text{ f}/10^6 \text{ h},$$

$$\mu = 181818,18 \text{ r}/10^6 \text{ h ou } \mu = 83333,3 \text{ R}/10^6 \text{ h}.$$

A partir do diagrama da figura 4 e suas transições, foi levantada a matriz de taxa de transição de estados A.

Definindo-se o vetor $\underline{P} = [P_1, P_2, P_3, P_4, P_5]$, onde P_i = probabilidade de limite do sistema estar no estado i (considerando $t \rightarrow \infty$), tem-se:

$$\underline{P} \cdot \underline{A} = \underline{P}$$

que significa que as probabilidades P_i para $t \rightarrow \infty$ não são afetadas quando multiplicadas pela matriz estocástica A.

A partir deste princípio tem-se o sistema de equações lineares dado por:

$$\underline{P} \cdot \underline{A} = \underline{P},$$

$$\underline{P} \cdot (\underline{A} - \underline{I}) = 0$$

Uma das equações deste sistema é combinação linear das demais e torna-se necessária a utilização de uma condição de contorno. Esta condição é dada por:

$$P_1 + P_2 + P_3 + P_4 + P_5 = 1,$$

que significa que a soma das probabilidades limites de estar em um dos estados do sistema é 1(um).

Resolvido o sistema de equações lineares, a disponibilidade A_p do sistema é dada pela probabilidade de este sistema se encontrar em um estado operacional, isto é, não falho. Neste caso, para o MCR que utiliza a arquitetura proposta tem-se:

$$A_p = P_1 + P_2 + P_3 + P_4,$$

que são as probabilidades do sistema estar em um estado operacional, ou

$$A_p = 1 - P_5$$

Substituindo os valores obtidos

$$A_p = 0,999765283$$

ou

$$A_p = 99,977\%$$

que é o valor da disponibilidade do MCR impelentando a arquitetura proposta, a qual corresponde a 2,02 horas/ano de paralização do equipamento.

A tabela 3 apresenta a disponibilidade obtida variando o número de PEs e utilizando componentes comerciais. São considerados também dois valores para a taxa média de reparos.

Nº PEs	DISPONIBILIDADE		INDISPONIBILIDADE	
	CASO 1	CASO 2	CASO 1	CASO 2
2	99,99%	99,99%	6,12/10 ⁵	1,42/10 ⁴
3	99,99%	99,98%	6,66/10 ⁵	1,68/10 ⁴
4	99,99%	99,98%	7,46/10 ⁵	2,05/10 ⁴
5	99,99%	99,97%	8,52/10 ⁵	2,55/10 ⁴
6	99,99%	99,97%	9,84/10 ⁵	3,16/10 ⁴
7	99,99%	99,96%	1,14/10 ⁴	3,88/10 ⁴

Tabela 3 - Disponibilidade para a arquitetura proposta com o uso de componentes comerciais.

6 - CONCLUSÃO

O presente trabalho teve como proposta apresentar e analisar uma arquitetura com mecanismos de tolerância a falhas para o equipamento MCR. Os resultados obtidos dão conta da melhora no parâmetro disponibilidade deste equipamento.

As técnicas utilizadas para o aumento da disponibilidade incorporadas à arquitetura proposta são de fácil compreensão e, conforme visto no trabalho, a sua implementação é bastante simples, considerando-se os benefícios alcançados.

Esta implementação e os estudos efetuados são considerados para a próxima fase do projeto que envolve o equipamento MCR. É considerado também o desenvolvimento e aprimoramento das rotinas de autodiagnose do MCR, especificando classes de erros detectáveis e desempenho desta rotinas.

A aplicação de técnicas para o aumento da disponibilidade e confiabilidade é um procedimento necessário a equipamentos desta natureza, utilizados em comunicação de dados. Embora necessárias, estas técnicas são ainda discriminadas por projetistas em sua grande maioria, que não as usam alegando aumento excessivo nos custos, complicações desnecessárias durante o projeto e outras inviabilidades.

Sob este aspecto, o presente trabalho, apesar de suas imperfeições procura deixar claras a simplicidade e as vantagens alcançadas com a utilização de técnicas de tolerância a falhas.

REFERÊNCIAS BIBLIOGRÁFICAS

- BILLINTON, R.; ALLAN, R.N. Reliability evaluation of engineering systems, concepts and techniques, London, Pitman. 1983.
- HASHIOKA, M.H.; Modelo e análise de uma interface de comunicação com processamento distribuído para aplicação em rede de comunicação por computação de pacotes. Dissertação de mestrado INPE, São José dos Campos, SP, 1983.
- PIRES, L.F. Simulação de um Multiprocessador de Comunicação em Rede. Trabalho de Graduação. ITA, São José dos Campos, SP, 1983.
- SALGADO, A.E.M. Uma arquitetura com mecanismos de tolerância a falhas para o Multiprocessador de Comunicação em Rede - MCR. Dissertação de Mestrado, INPE, São José dos Campos, SP, 1985.