

1. Publicação nº <i>INPE-3177-PRE/544</i>	2. Versão	3. Data <i>Julho, 1984</i>	5. Distribuição <input type="checkbox"/> Interna <input checked="" type="checkbox"/> Externa <input type="checkbox"/> Restrita
4. Origem <i>DTL/DST</i>	Programa <i>NOVTEC/ETCOMS</i>		
6. Palavras chaves - selecionadas pelo(s) autor(es) <i>MODULADOR PLL COMUNICAÇÕES</i>			
7. C.D.U.: <i>621.376.4</i>			
8. Título  <i>MODULADOR DE FASE EM 401,650 MHz</i>		10. Páginas: <i>16</i>	
		11. Última página: <i>11</i>	
		12. Revisada por  <i>Janio Kono</i>  <i>Janio Kono</i>	
9. Autoria <i>Paulo Adabo José Antonio Rodrigues</i>		13. Autorizada por  <i>Naiada</i> <i>Nelson de Jesus Parada Diretor Geral</i>	
Assinatura responsável <i>[assinatura]</i>			
14. Resumo/Notas  <i>Este trabalho apresenta o projeto e a implementação de um modulador de fase em 401,650 MHz, desenvolvido como alternativa para o modulador do transmissor de um sistema de coleta de dados meteorológicos e hidrológicos por satélite. Este sistema tem por finalidade a coleta e a transmissão de dados ambientais (a 400 bits/seg.) a partir de plataformas de coleta de dados (PCDs), através de um satélite, até um centro de recepção, assim como o processamento e a disseminação destes dados. A portadora modulada tem um desvio de fase de +60° ou de -60° correspondente aos dois níveis lógicos do sinal de dados. O modulador é essencialmente um PLL ("phase-locked loop") com um oscilador controlado a tensão (VCO) em 401,650 MHz. A frequência do VCO é dividida por 64 e então amarrada a uma fonte de frequência de alta estabilidade (6,27576125 MHz). A modulação é feita diretamente em 401,650 MHz com o sinal modulante sendo introduzido após o comparador de fase do PLL.</i>			
15. Observações <i>Submetido para apresentação na 36ª Reunião Anual da Sociedade de Brasileira para o Progresso da Ciência - SBPC, de 4 a 11 de julho de 1984, em São Paulo, SP.</i>			

### ABSTRACT

*This report presents the design and implementation of a phase modulator in 401.650 MHz, developed as an alternative for the transmitter modulator of a meteorological and hydrological data collection system by satellite. This system performs the collection and the transmission of environmental data to a reception center by data collection platforms, through a satellite. The modulated carrier has an angle deviation of  $+60^{\circ}$  or  $-60^{\circ}$ , corresponding to the digital data levels. The modulator consists basically of a phase-locked loop (PLL) with a voltage-controlled oscillator (VCO) in 401.650 MHz. The VCO frequency is divided by 64 and phase-locked to a high stability reference (6.27576125 MHz). The modulation is made at 401.650 MHz with the modulation signal introduced after the phase comparator.*

•  
••

## SUMÁRIO

	<u>Pág.</u>
LISTA DE FIGURAS .....	v
1. <u>INTRODUÇÃO</u> .....	1
2. <u>ASPECTOS TEÓRICOS</u> .....	2
3. <u>CONSIDERAÇÕES DE PROJETO</u> .....	6
REFERÊNCIAS BIBLIOGRÁFICAS .....	11

100

101

102

103

104

105

106

107

108

109

110

•  
•

111

112

113

114

## LISTA DE FIGURAS

	<u>Pág.</u>
1 - Diagrama de blocos da PCD .....	1
2 - Diagrama de blocos do modulador de fase .....	2
3 - Representação do modulador de fase no domínio da frequência ..	3
4 - Filtro de malha ativo .....	5
5 - Diagrama de blocos detalhado do modulador de fase .....	6
6 - Modulador de fase em 401,650 MHz .....	9



## 1. INTRODUÇÃO

A Plataforma de Coleta de Dados é uma estação para aquisição de parâmetros ambientais, particularmente nas áreas de Ecologia, Recursos Hídricos, Geologia, Meteorologia, Agricultura e Oceanografia. O sistema envolve as plataformas para aquisição de dados, um centro de recepção e disseminação desses dados e um satélite como elo de ligação das plataformas com o centro de recepção (Oliveira, 1980).

As informações ambientais tais como intensidade de chuva, temperatura, nível de rios e lagos, velocidade de vento etc., são adquiridas por sensores a uma taxa de 400 bits/seg. que depois de convenientemente tratados modulam a portadora de RF da plataforma cuja frequência é de 401,650 MHz. O diagrama de blocos de uma plataforma de coleta de dados é apresentado na Figura 1.

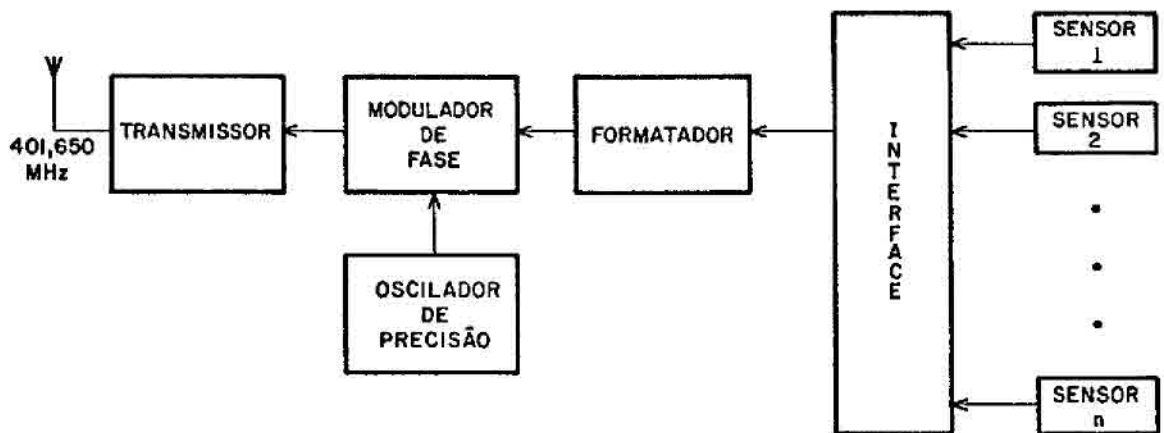


Fig. 1 - Diagrama de blocos da PCD.

A portadora do transmissor da PCD é modulada em fase por um sinal digital bifásico (código Manchester) (Lindsey and Simon, 1973) com um desvio de fase de  $+60^\circ$  ou de  $-60^\circ$  correspondente aos dois níveis lógicos do sinal de dados. O modulador de fase, o qual é motivo deste trabalho, é essencialmente um PLL com um VCO em 401,650 MHz. A frequência do VCO é dividida por 64 e então amarrada a uma fonte de referência



de alta estabilidade de 6,27576125 MHz. O sinal modulante  $\bar{e}$  é introduzido após o comparador de fase do PLL.

## 2. ASPECTOS TEÓRICOS

O modulador de fase é essencialmente um PLL com um divisor por N na malha de realimentação, onde o sinal modulante  $\bar{e}$  é introduzido após o comparador de fase como pode se observar pela Figura 2.

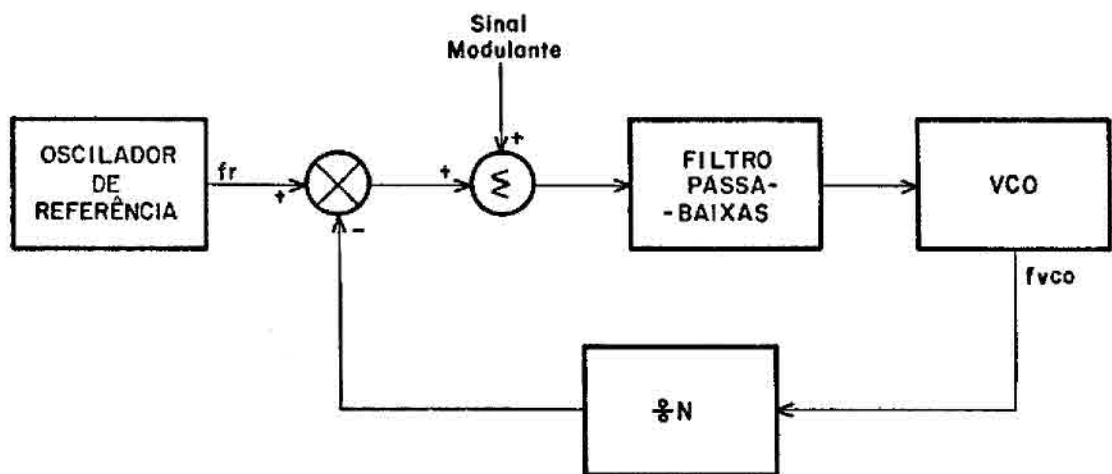


Fig. 2 - Diagrama de blocos do modulador de fase.

O sinal de saída do VCO ( $f_{VCO}$ ) é dividido e comparado com uma frequência de referência bastante estável. O comparador de fase gera um sinal de erro que, depois de convenientemente filtrado, é utilizado para controlar o VCO, mantendo-o na frequência:  $f_{VCO} = N \cdot f_R$ . Quando isto ocorre, diz-se que o modulador está amarrado em fase (em "lock") e a estabilidade da frequência de saída é fortemente dependente da estabilidade da frequência do sinal de referência. Como o modulador é de fase, o sinal modulante é injetado logo após o comparador de fase (Gardner, 1979).

Utilizando a transformada de Laplace, a representação do modulador no domínio da frequência é mostrado na Figura 3.

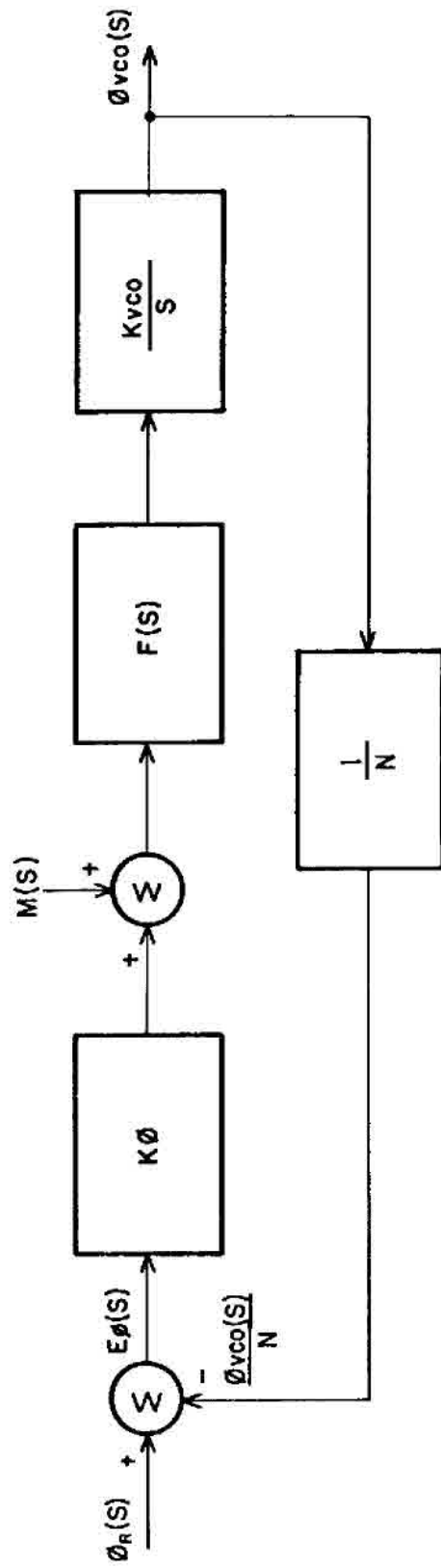


Fig. 3 - Representação do modulador de fase no domínio da frequência.

A constante  $K_\phi$  representada na Figura 3 é o ganho do comparador de fase, enquanto  $K_{VCO}$  é o ganho do VCO e  $F(s)$  é a função de transferência do filtro passa-baixas da malha. O sinal modulante está representado por  $M(s)$ .

Pela análise da Figura 3, considerando que  $M(s)=0$ , tem-se:

$$\phi_{VCO}(s) = K_\phi \cdot F(s) \cdot \frac{K_{VCO}}{s} \cdot E_\phi(s) , \quad (2.1)$$

$$E_\phi(s) = \phi_R(s) - \frac{\phi_{VCO}(s)}{N} . \quad (2.2)$$

Combinando a Equação 2.1 com a 2.2 obtêm-se a função de transferência do modulador:

$$\frac{\phi_{VCO}(s)}{\phi_R(s)} = \frac{K_\phi \cdot K_{VCO} F(s)}{s + \frac{K_\phi K_{VCO}}{N} \cdot F(s)} = H(s) \quad (2.3)$$

A função de transferência do modulador  $H(s)$  comporta-se como um filtro passa-baixas para o sinal de referência ( $\phi_R$ ).

Dependendo da função de transferência do filtro passa-baixas da malha, têm-se moduladores com várias características dinâmicas. Utilizando o filtro ativo mostrado na Figura 4 como filtro passa-baixas e sabendo que a função de transferência  $F(s)$  deste filtro é:

$$F(s) = \frac{1}{\tau_1} \left( \frac{1 + T_2 s}{s} \right)$$

onde  $\tau_1 = R_1 C$  e  $\tau_2 = R_2 C$ , tem-se que a função de transferência do modulador se torna:

$$\frac{\phi_{VCO}(s)}{\phi_R(s)} = \frac{N(2\xi\omega_n s + \omega_n^2)}{s^2 + 2\xi\omega_n s + \omega_n^2}, \quad (2.4)$$

onde  $\omega_n$ , frequência natural da malha, é igual a:

$$\omega_n = \left( \frac{K\phi \cdot K_{VCO}}{N\tau_1} \right)^{1/2}.$$

e  $\xi$ , fator de amortecimento, é igual a:

$$\xi = \frac{1}{2} \left( \frac{K\phi \cdot K_{VCO} \tau_2^2}{N\tau_1} \right)^{1/2}.$$

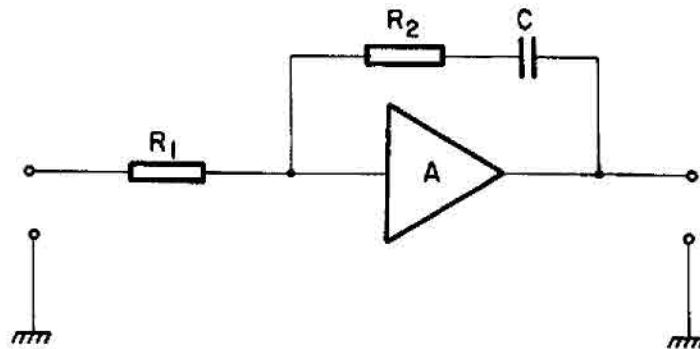


Fig. 4 - Filtro de malha ativo.

Considerando agora o sinal modulante  $M(s)$ , a modulação de fase causada por este sinal na saída do VCO é encontrada como:

$$\phi_{VCO}(s) = \frac{F(s) \cdot K_{VCO}}{s + \frac{K\phi \cdot K_{VCO}}{N} \cdot F(s)} \cdot M(s). \quad (2.5)$$

Substituindo a Equação 2.3 na Equação 2.5 obtêm-se:

$$\phi_{VCO}(s) = \frac{M(s)}{K\phi} \cdot H(s) \quad .$$

Como  $H(s)$  é uma função passa-baixas, a largura de faixa da malha deve ser maior que a mais alta frequência do sinal modulante  $M(s)$  para evitar distorção na modulação.

### 3. CONSIDERAÇÕES DE PROJETO

O diagrama de blocos mais detalhado do modulador de fase é apresentado na Figura 5.

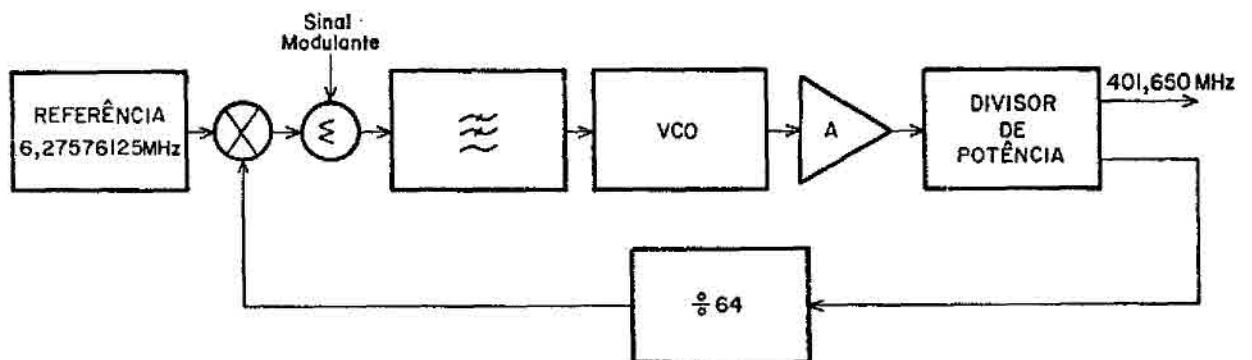


Fig. 5 - Diagrama de blocos detalhado do modulador de fase.

Como a frequência de saída é igual a 401,650 MHz e a frequência de referência igual a 6,27576125 MHz, o valor do divisor por  $N$  na malha de realimentação é igual a:

$$N = \frac{401,650 \text{ MHz}}{6,27576125 \text{ MHz}} = 64.$$

Visto que a frequência de saída do VCO é elevada, optou-se pela utilização de um divisor ECL. O divisor utilizado é um circuito integrado da Plessey (SP4020) utilizado em circuitos de VHF e UHF (Plessey, 1981). Ele divide diretamente por 64 e em sua saída há um conversor de ECL para TTL, sendo que ela pode ser ligada diretamente ao comparador de fase.

O comparador de fase utilizado é o circuito integrado da Motorola MC4044. Este comparador possui algumas vantagens adicionais com relação a outros comparadores (Motorola, 1973), tais como: um discriminador de frequências e um amplificador que é utilizado na construção do filtro de malha ativo. Este filtro tem a configuração mostrada na Figura 4.

Os componentes deste filtro são calculados levando em consideração a máxima frequência do sinal modulante, uma vez que a frequência natural da malha  $\omega_n$  deve ser maior que a mais alta frequência do sinal modulante.

O VCO é o elemento da malha do PLL cuja frequência varia com a tensão de controle. O princípio de funcionamento é o mesmo dos osciladores convencionais, com a diferença que, neste caso, possui uma sintonia variável. O circuito do VCO é constituído basicamente de um circuito ressonante, realimentações e um circuito de casamento, como mostrado na Figura 6. O circuito ressonante é formado pelo "varactor", capacitores e uma bobina em série e pela impedância de entrada do transistor realimentado. As realimentações são feitas através dos capacitores (1,5 pF e 0,8 a 8 pF), além da realimentação interna do próprio transistor. O circuito de casamento é implementado por meio de bobinas  $L_2$  e  $L_3$ , capacitor variável de saída e através da impedância de saída do transistor realimentado.

Após o VCO faz-se necessária a colocação de um amplificador (MWA 130) seguido de um divisor de potência, para que o sinal tenha nível suficiente para excitar o divisor e também para a monitoração de saída.

O circuito completo do modulador de fase em 401,650 MHz é mostrado na Figura 6.

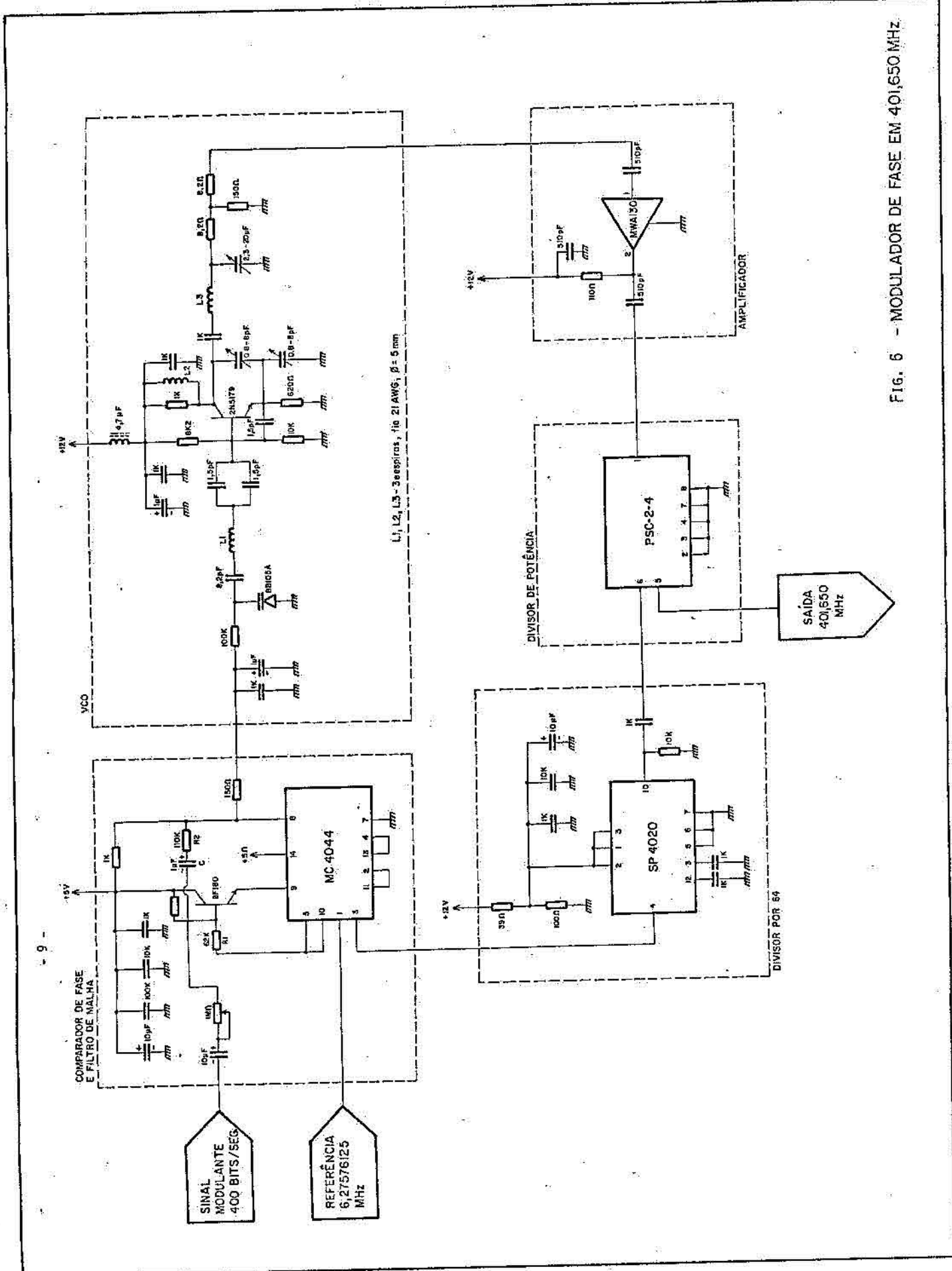


FIG. 6 - MODULADOR DE FASE EM 401,650 MHz.



## REFERÊNCIAS BIBLIOGRÁFICAS

- GARDNER, F.M. *Phaselock techniques*. 2 ed., New York, NY, John Wiley, 1979.
- LINDSEY, W.C.; SIMON, M.K. *Telecommunication system engineering*. New Jersey, Prentice-Hall, 1973.
- MOTOROLA. *Phase-locked loop systems; data book*. s.l., 1973.
- OLIVEIRA, J.R. *Plataforma de coleta de dados*. São José dos Campos, INPE, maio 1980. (INPE-1743-RPE/139).
- PLESSEY SEMICONDUCTORS. *Television IC handbook*. Irvine, CA, 1981.

### 2.2.5 - SELETOR DE DADOS

O seletor de dados realiza a inserção das palavras PTAD e PTD no quadro de palavras provenientes da memória, e faz isto de acordo com os sinais provenientes do controle de endereçamento. Na sua saída têm-se palavras de 8 bits que são enviadas para o conversor paralelo-série.

O seletor de dados é mostrado na Figura 6 e é constituído de circuitos integrados AND/OR select gate arranjados de modo a permitir escolher entre três palavras de 8 bits.

### 2.2.6 - CONVERSOR PARALELO-SÉRIE

O conversor paralelo-série realiza a conversão das palavras que formam o quadro (frame) para a forma serial, síncrono com o sinal de "clock", tendo-se na saída o sinal PCM que servirá para teste do sistema de telemetria do sistema ARGOS.

O conversor mostrado na Figura 6 consiste em um "shift register" que é controlado por um contador, que realiza a divisão da frequência do "clock", e por uma pequena lógica de controle da função do "shift register".

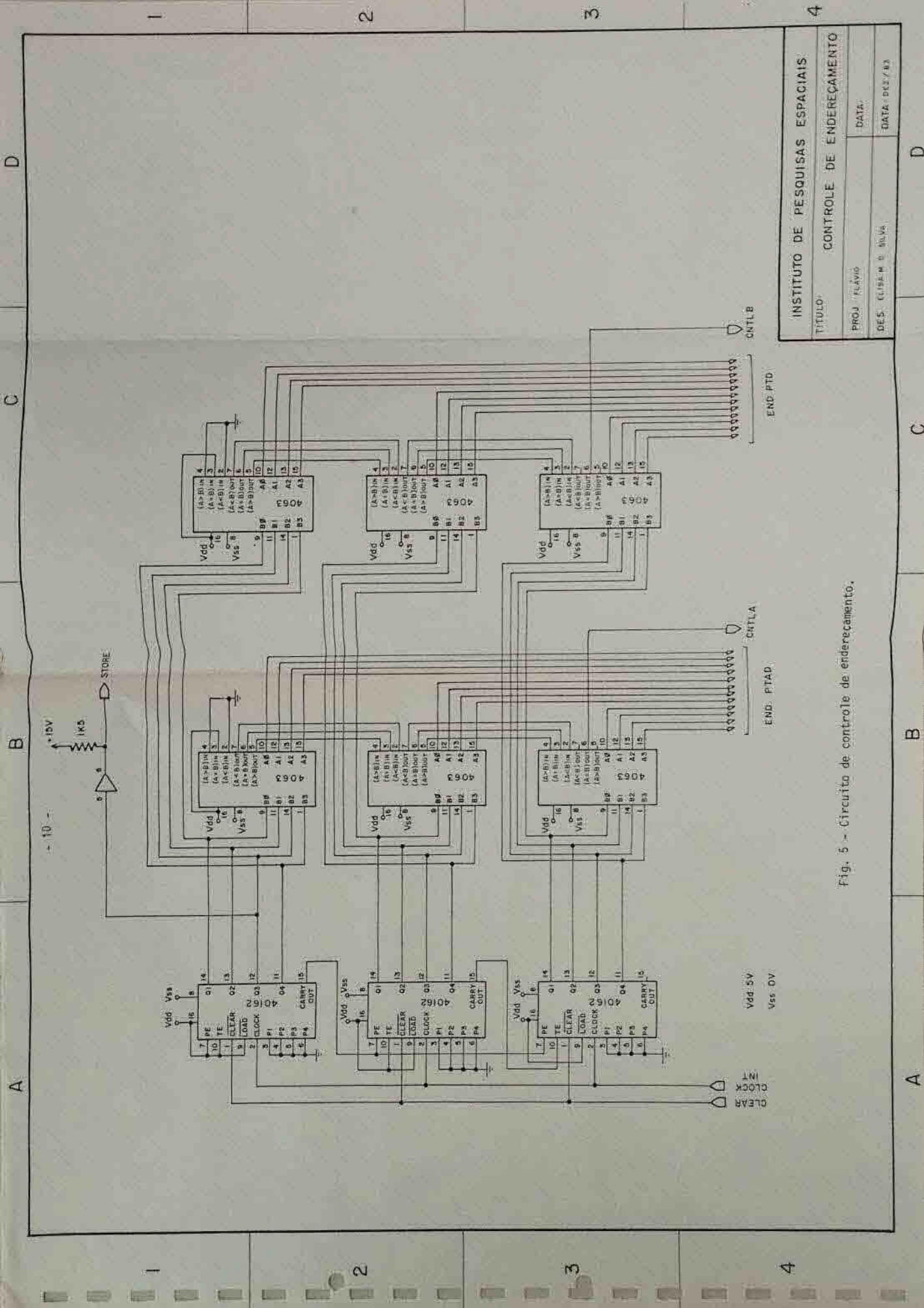
## 3. CONCLUSÃO

O simulador foi montado em "wire-wrap" em uma placa padrão de 44 pinos. Em princípio, o simulador operará com a taxa de transmissão de dados do PCD Argos de 8320 bits/seg., taxa que é definida pela frequência do sinal de "clock" externo. Entretanto, dependendo da necessidade, pode-se utilizar o simulador dentro da faixa de frequência de 0 a 500 kHz, sem esquecer que se deve obedecer ao critério de amostragem de Nyquist, necessário para a conversão analógico-digital.

Optou-se pela forma de geração de dados utilizando uma memória estática por razões de simplificação do projeto e pela flexibilidade que se pode obter na formação do quadro (frame) de palavras. Obtém-se um novo quadro fixo reprogramando a memória, observando-se que, por limitações de "hardware", os quadros sempre serão de 104 palavras de 8 bits cada uma.

REFERÊNCIA BIBLIOGRÁFICA

SCHNEIDER, J.R. *Guide for designing RF ground receiving stations for Tiros-N.* Washington, DC, NOAA, 1976. (NOAA Technical Report NESS75).



- 10 -

INSTITUTO DE PESQUISAS ESPACIAIS	
TITULO	CONTROLE DE ENDEREÇAMENTO
PROJ	FLAVIO
DES	ELISEM B SILVA
DATA	DATA: DCZ/83

Fig. 5 - Circuito de controle de endereçamento.

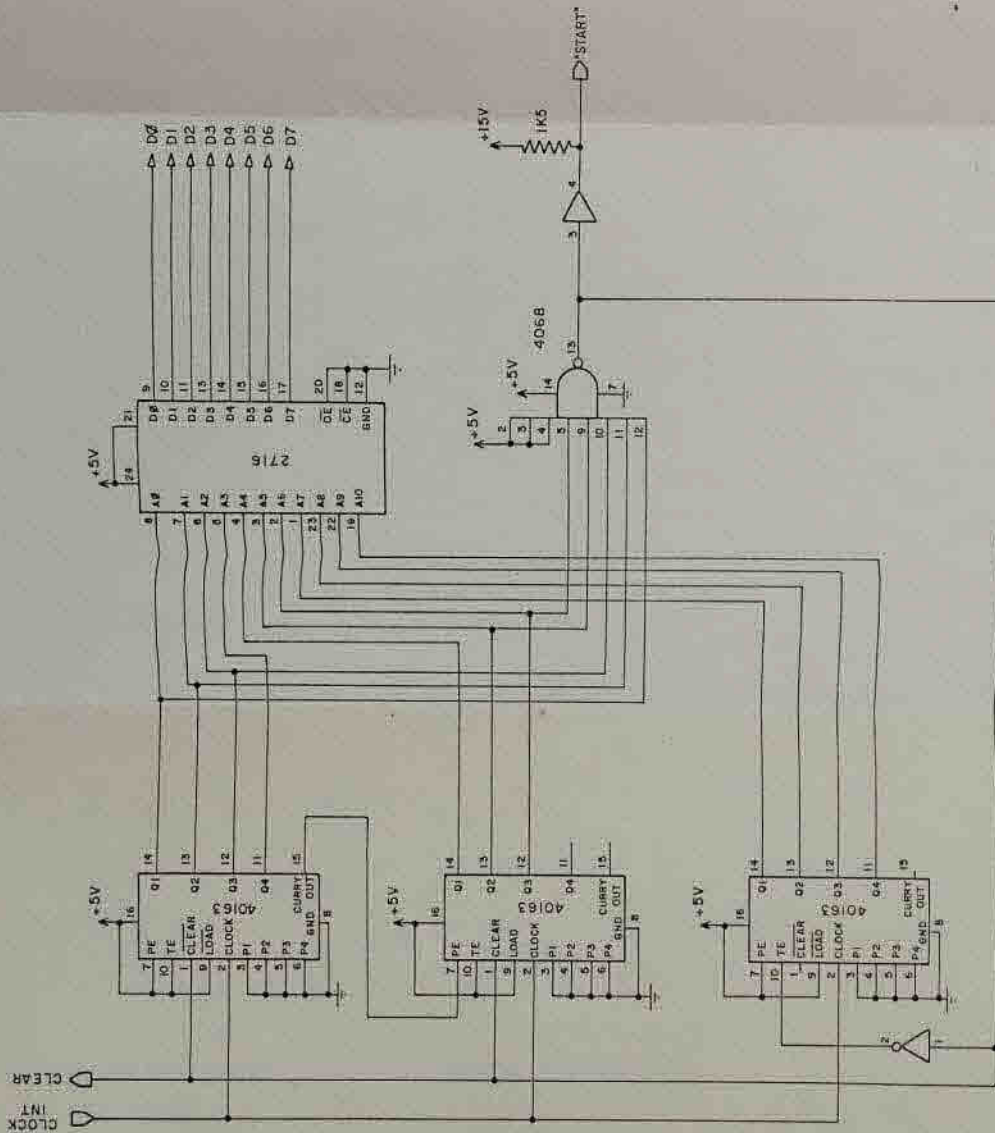


Fig. 3 - Circuito de geração do quadro.

INSTITUTO DE PESQUISAS ESPACIAIS	
TÍTULO:	CIRCUITO DE GERAÇÃO
PROJ.:	FLÁVIO
DES.:	ELIENAI M. D. SILVA
DATA:	
DATA:	DEZ/83

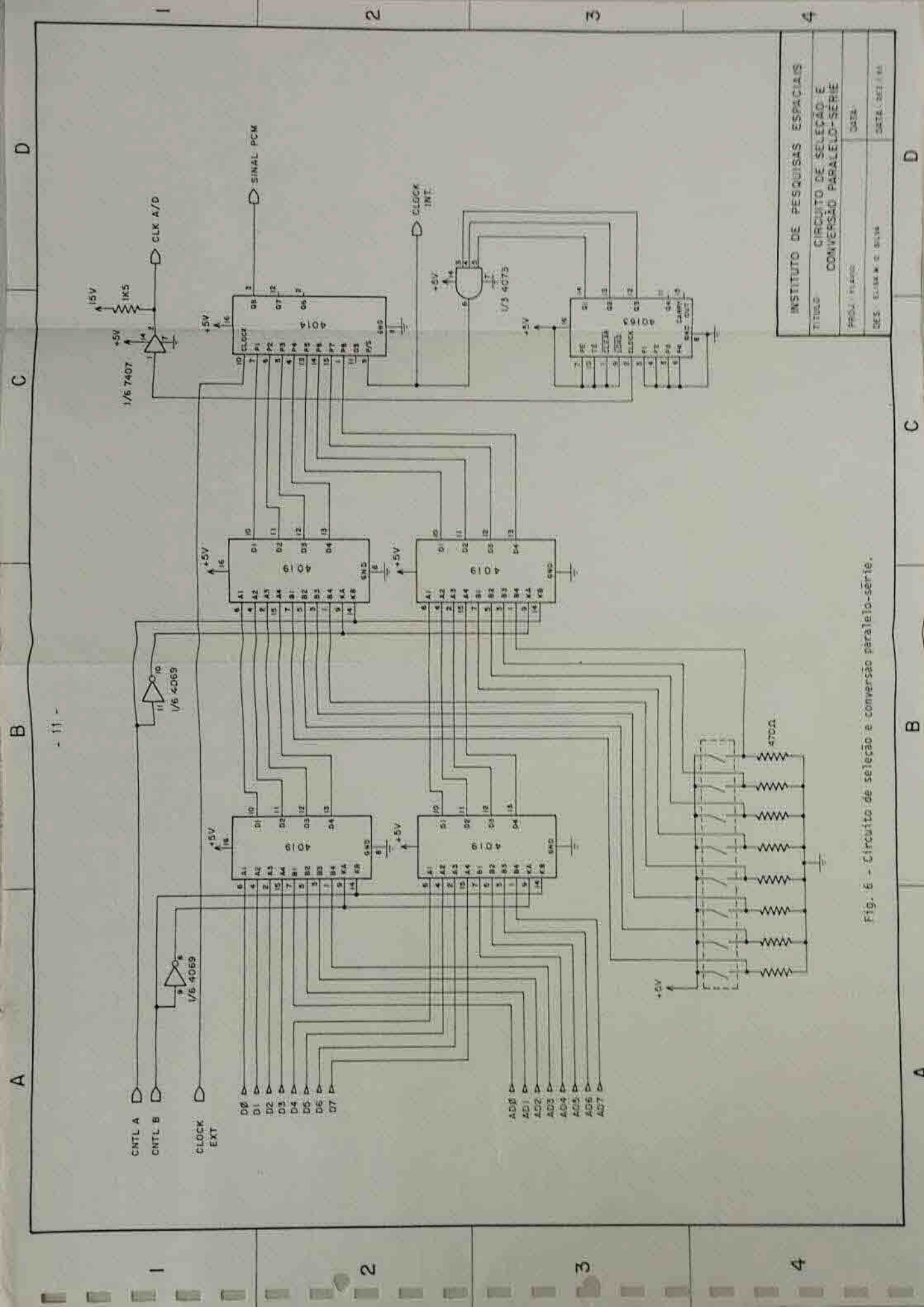


Fig. 6 - Circuito de seleção e conversão paralelo-série.

INSTITUTO DE PESQUISAS ESPACIAIS	
TÍTULO CIRCUITO DE SELEÇÃO E CONVERSÃO PARALELO-SÉRIE	
PROJ. ELABORADO	DATA:
DES. EXECUTADO	DATA: 02/11/64

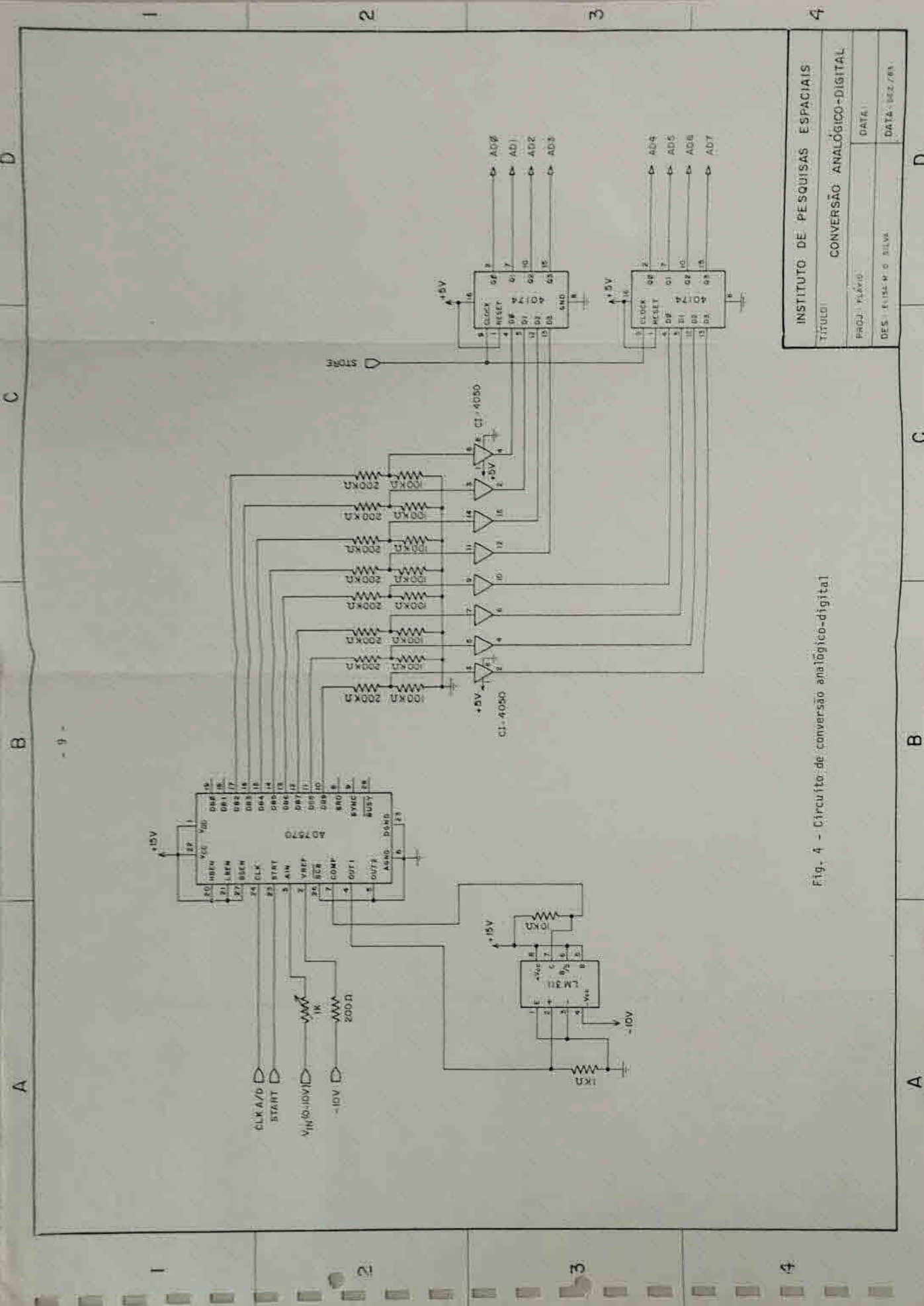


Fig. 4 - Circuito de conversão analógico-digital

INSTITUTO DE PESQUISAS ESPACIAIS	
TÍTULO: CONVERSÃO ANALÓGICO-DIGITAL	
PROJ: PLÁGIO	DATA:
DES: EUSILMO SILVA	DATA: 04/2/78