

1. Classificação <i>INPE-COM.5/NTI</i> <i>C.D.U.:681.322: 621.38</i>		2. Período	4. Distribuição interna ☒ externa ☐
3. Palavras Chaves (selecionadas pelo autor) <i>MICROPROCESSADOR - AQUISIÇÃO DE DADOS</i> <i>MICROCOMPUTADOR</i> <i>CONVERSOR ANALÓGICO DIGITAL</i> <i>DETECTOR</i>			
5. Relatório nº <i>INPE-1421-NTI/120</i>	6. Data <i>Fevereiro, 1979</i>	7. Revisado por <i>EWB</i> <i>Eduardo W. Bergamini</i>	
8. Título e Sub-Título <i>MICROCOMPUTADOR ASTRO-S1 (COBACS-S1)</i>		9. Autorizado por <i>Nelson de Jesus Parada</i> <i>Diretor</i>	
10. Setor	Código	11. Nº de cópias <i>08</i>	
12. Autoria <i>Alderico R. de Paula Jr.</i> <i>Ricardo A. Mendes</i>		14. Nº de páginas <i>65</i>	
13. Assinatura Responsável <i>[Assinatura]</i>		15. Preço	
16. Sumário/Notas <i>É descrito um sistema que utiliza um microcomputador, para a aquisição e transmissão de dados a bordo de balões estratosféricos. Os dados adquiridos são transmitidos para uma estação de terra onde são gravados em fitas magnéticas e impressos em um teletipo. O sistema é também utilizado em laboratório como uma ferramenta de desenvolvimento de "software" e "Hardware" além de ser um equipamento didático.</i>			
17. Observações			

ÍNDICE

LISTA DE FIGURAS	v
LISTA DE TABELAS	vi
<u>CAPÍTULO I</u>	1
<u>INTRODUÇÃO</u>	1
1.1 - Descrição dos Circuitos do Microcomputador ASTRO-S/1 - (COBACS-1)	1
<u>CAPÍTULO II</u>	5
<u>PAINEL DE CONTROLE</u>	5
2.1 - Painei de Controle - Esquema ATS-1-PCON 1	5
2.2 - Painei de Indicação	9
2.3 - Interface com o Painei de Comando - O Esquema AST-1 INTPC-1-A/B está Associado à interface com o painei de Comando	13
<u>CAPÍTULO III</u>	19
<u>UNIDADE CENTRAL DE PROCESSAMENTO - UCP - ESQUEMA - AST-UCP-A/B</u>	19
<u>CAPÍTULO IV</u>	29
<u>MEMÓRIA DE ACESSO ALEATÓRIO</u>	29
<u>CAPÍTULO V</u>	33
<u>MEMÓRIA DE APENAS LEITURA</u>	33
<u>CAPÍTULO VI</u>	35
<u>INTERFACE COM O TELETIPO</u>	35
<u>CAPÍTULO VII</u>	47
<u>SISTEMA DE AQUISIÇÃO LENTA DE DADOS</u>	47
<u>CAPÍTULO VIII</u>	53
<u>SISTEMA DE AQUISIÇÃO RÁPIDA DE DADOS ESQUEMA - AST-S1 - A/D II</u> <u>A/B</u>	53
8.1 - Sistema de Aquisição	54
8.2 - Circuito de Controle	55

8.3 - Contador de Perdas	56
8.4 - Circuito de Relógio	56
<u>CAPÍTULO IX</u>	59

LISTA DE FIGURAS

I.1 - Configuração do Microcomputador ASTRO S/1	3
I.2 - Diagrama de Bloco do Microcomputador ASTRO-M1	4
III.1 - Principais formas de onda na UCP para a geração de 3 ciclos de espera	25
VI.1 - Forma de Onda do Receptor de Dados da Interface com o Teletipo	38
VI.2 - Formas de onda do circuito de transmissão de dados da interface com o Teletipo	40

LISTA DE TABELAS

I.1 - Via de Controle	2
II.1 - Endereço de Desvio das Sub-Rotinas de Interrupção	11
II.2 - Máscara de Interrupção	11
III.1 - Nível de Interrupção X Endereço	23
III.2 - Nível de Interrupção X Máscara	23
VI.1 - Comandos Versus Entradas	41

CAPÍTULO I

INTRODUÇÃO

1.1 - DESCRIÇÃO DOS CIRCUITOS DO MICROCOMPUTADOR ASTRO-S/1 - (COBACS-1)

O microcomputador ASTRO-S foi desenvolvido com a finalidade de ser o primeiro protótipo do microcomputador de bordo ASTRO-B/1 destinado a aplicações de bordo em balões estratosféricos para aquisição, pré-processamento e transmissão de dados.

O painel de controle do ASTRO-S/1 foi projetado visando a depuração de programas, pois permite executar programas passo-a-passo e acessar diretamente a memória.

Como os balões estratosféricos estão sujeitos a grandes variações de temperatura e precisam de circuitos de baixo consumo de energia, os circuitos do ASTRO-S/1 foram projetados, sempre que possível, com componentes CMOS que satisfazem estas 2 especificações.

A maioria dos cartões de circuito impresso são intercambiáveis entre o ASTRO-S/1 e o ASTRO-B/1.

O elemento central da unidade de controle e processamento UCP é o microprocessador 8080 da Intel, o qual define as principais características do microcomputador, tais como: via de dados de 8 bits, via de endereçamento de 16 bits, ciclo de instrução, etc.

Sendo a maioria dos circuitos projetados com CMOS a UCP gera automaticamente 3 períodos de espera em cada ciclo de instrução.

As linhas de interconexões entre os cartões estão agrupadas em três vias, que são:

- Via de Endereço - 16 linhas - VEND-A0 a VEND-A16
- Via de Dados - 8 linhas - VDAD-D0 a VDAD-D7
- Via de Controle - 28 linhas - VCON-C0 a VCON-C27

TABELA I.1

VIA DE CONTROLE

C0-LM	- Ler Memória
C1-EM	- Escrever na Memória
C2-LPE	- Ler Porta de Entrada
C3-EPS	- Escrever na Porta de Saída
C4-PESC	- Pulso de Escrever
C5-PFLV	- Pedido de Flutuação
C6-ATFLU	- Atendimento ao Pedido de Flutuação
C7-PESP1	- Pedido de Espera nº 1
C8-PESP2	- Pedido de Espera nº 2
C9-PESP3	- Pedido de Espera nº 3
C10-ATESP	- Atendimento ao Pedido de Espera
C11-PINT00	- Pedido de Interrupção nº 00
C12-PINT01	- Pedido de Interrupção nº 01
C13-PINT10	- Pedido de Interrupção nº 10
C14-PINT11	- Pedido de Interrupção nº 11
C15-PINT20	- Pedido de Interrupção nº 20
C16-PINT21	- Pedido de Interrupção nº 21
C17-PINT30	- Pedido de Interrupção nº 30
C18-PINT31	- Pedido de Interrupção nº 31
C19-PMINT	- Permitido Interromper
C20-INIC	- Iniciar
C21-ENTD	- Entrar Dados
C22-Ø2TTL	- Fase do Relógio Ø2
C23-SINC	- Sincronismo
C24-PAR	- Instrução de Parar
C25-PIL	- Acessar a Pilha
C26-ATINT	- Atendimento de Interrupção
C27-BINST	- Buscar a Instrução

O ASTRO-S/1 possui 4 níveis de Interrupção. As interrupções são utilizadas para facilitar o controle das Portas de Entradas e Saídas que indicam à UCP a ocorrência de determinados eventos. Como as Portas de Entradas e Saídas têm mais níveis de interrupções que a UCP, estes níveis devem ser seleccionados e as prioridades definidas para cada experimento através de conexões no conector da UCP.

A Figura I.1 apresenta uma das possíveis configurações do microcomputador e na Figura I.2 é mostrado o diagrama de bloco do ASTRO-S/1.

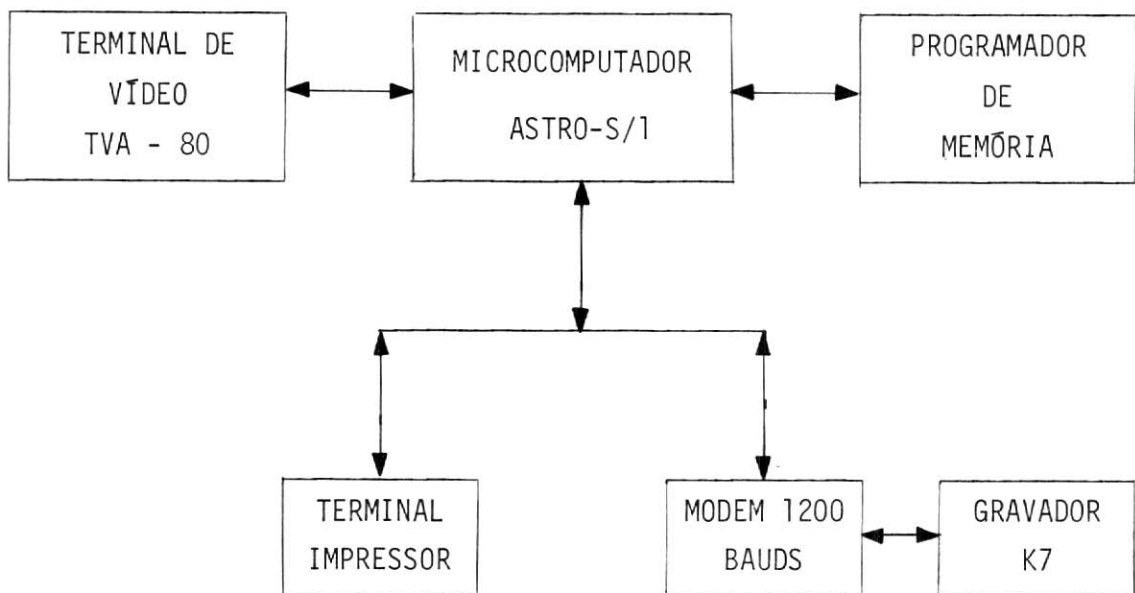


Fig. I.1 - Configuração do Microcomputador ASTRO S/1

Para esclarecimentos de possíveis dúvidas, um diagrama das ligações de todas as placas, inclusive dos painéis e também as ligações externas, é mostrado no final.

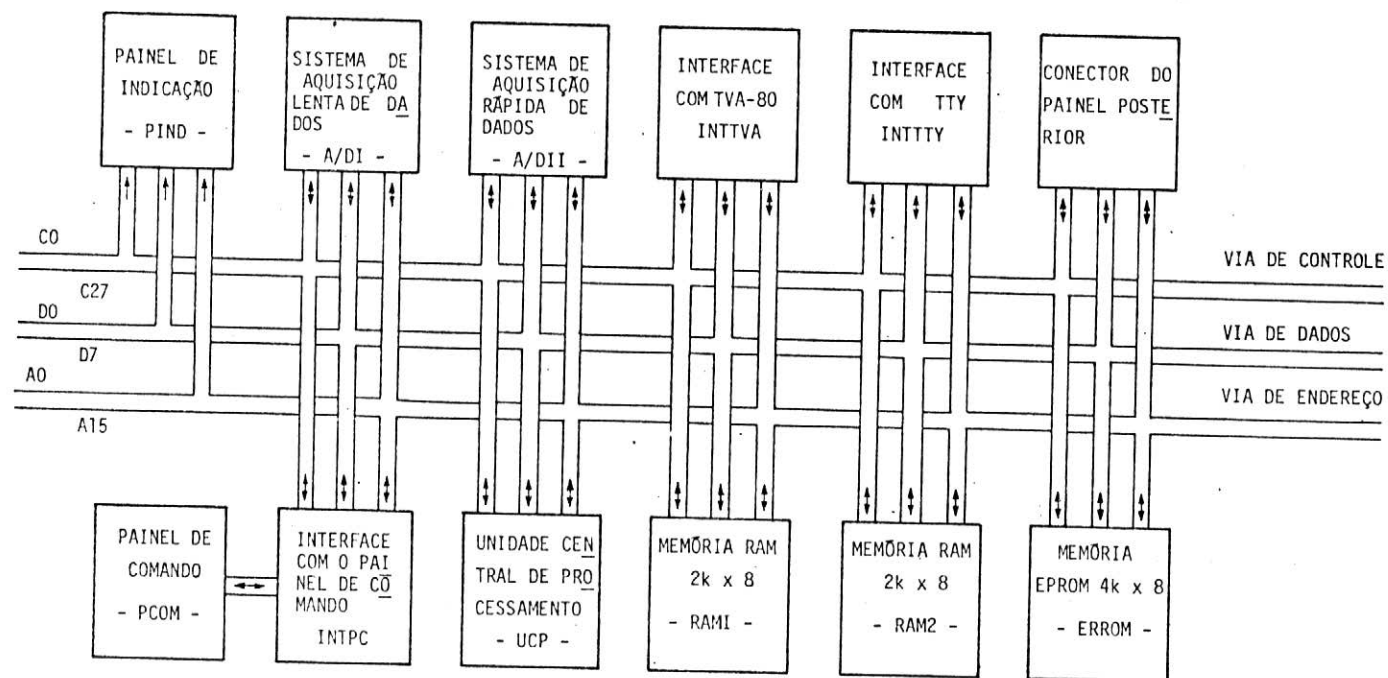


Fig. I.2 - Diagrama de Bloco do Microcomputador ASTRO-M1.

CAPÍTULO II

PAINEL DE CONTROLE

O Painel de Controle é formado de três cartões de circuito impresso, que são:

- Painel de Comando
- Painel de Indicação
- Interface com o Painel de Comando

2.1 - PAINEL DE CONTROLE - ESQUEMA ATS-1-PCON 1

No cartão do Painel de Comando estão localizadas as diversas chaves para o controle da operação do Microcomputador e um teclado hexadecimal para entrada de dados.

Este teclado é formado de 16 chaves de toque, quando uma tecla é acionada, ela estabelece o contato e aterra a entrada do circuito a ela conectada. A codificação para hexadecimal é realizada pelas portas NES CI-3, CI-4, CI-5 e CI-6. A entrada de cada porta é conectada às teclas que, quando acionadas, deverão gerar "1" na saída desta porta. Por exemplo, a tecla do dígito 5, cujo código binário é 0101, deverá ser conectada a uma das entradas das portas CI-3 e CI-5. As entradas destas portas são ligadas a resistores elevadores para fornecer o nível lógico "1", quando elas não forem aterradas pelo acionamento de uma tecla. A tecla 0 é conectada ao inversor C do CI-8 que indica ao circuito de codificação que ela foi acionada. Os resistores R35 e R53 são os resistores elevadores para a porta C do CI-8.

As chaves de comutação S6, S11, S12 e S13 do tipo H - H são utilizadas para selecionar os diversos modos de operação do microcomputador.

- S6 - Seleciona se a Unidade Central de Processamento, UCP, deverá ficar ou não no Estado de Espera.

- S11 - Quando na posição acesso externo na memória (AEM), solicita a UCP para entrar em estado de flutuação, permitindo a um periférico externo fazer acesso direto à memória.
- S12 - Seleciona se o acesso direto à memória será realizado pelo Painel de Controle ou por outro periférico ligado ao conector de dados.
- S13 - Seleciona se o teclado deverá enviar dado ou endereço.

As chaves de toque S5, S7, S8, S9 e S10 são utilizadas para gerar os diversos comandos para a UCP e para o circuito de interface Teclado/Micro.

- S5 - Reinicia a operação da UCP.
- S7 - Permite ao operador rodar o programa passo a passo, quando S6 está na posição ESP e S11 na posição UPC.
- S8 - Incrementa o Contador de Endereço do circuito de interface.
- S9 - Decrementa o Contador de Endereço.
- S10 - Carrega o conteúdo do Registro de Dados na posição de memória indicada pelo contador de endereço, se a chave S11 estiver na posição AEM e S12 na posição CONS.

Todas as chaves, acima mencionadas, possuem contatos normalmente abertos e normalmente fechados e são ligados a biestáveis tipo SR para evitar que o efeito do repicamento ("bounce") das chaves afete os circuitos. Estes biestáveis são construídos de duas portas inversoras com coletores abertos e dois resistores elevadores.

As chaves S1, S2, S3 e S4 são utilizadas para acionar os biestáveis de pedido de interrupção, localizados no circuito de interface Teclado/Micro. Os níveis de prioridade destas chaves são:

- S1 - Nível 0
- S2 - Nível 1
- S3 - Nível 2
- S4 - Nível 3

Os diodos emissores de luz (Led) L4, L5, L6 e L7 indicam quais aces sos, que os biestáveis de pedido de interrupção estão solicitando. Os resistores R1, R2, R3 e R4 são utilizados para limitar a corrente for necida pelas portas inversoras A e B do CI-1 e A e B do CI-2, respec tivamente.

Os leds L1, L2 e L3 indicam que as fontes de +5V, +15V e -15V estão ligadas e os resistores R5, R6, R7 limitam as correntes destes leds.

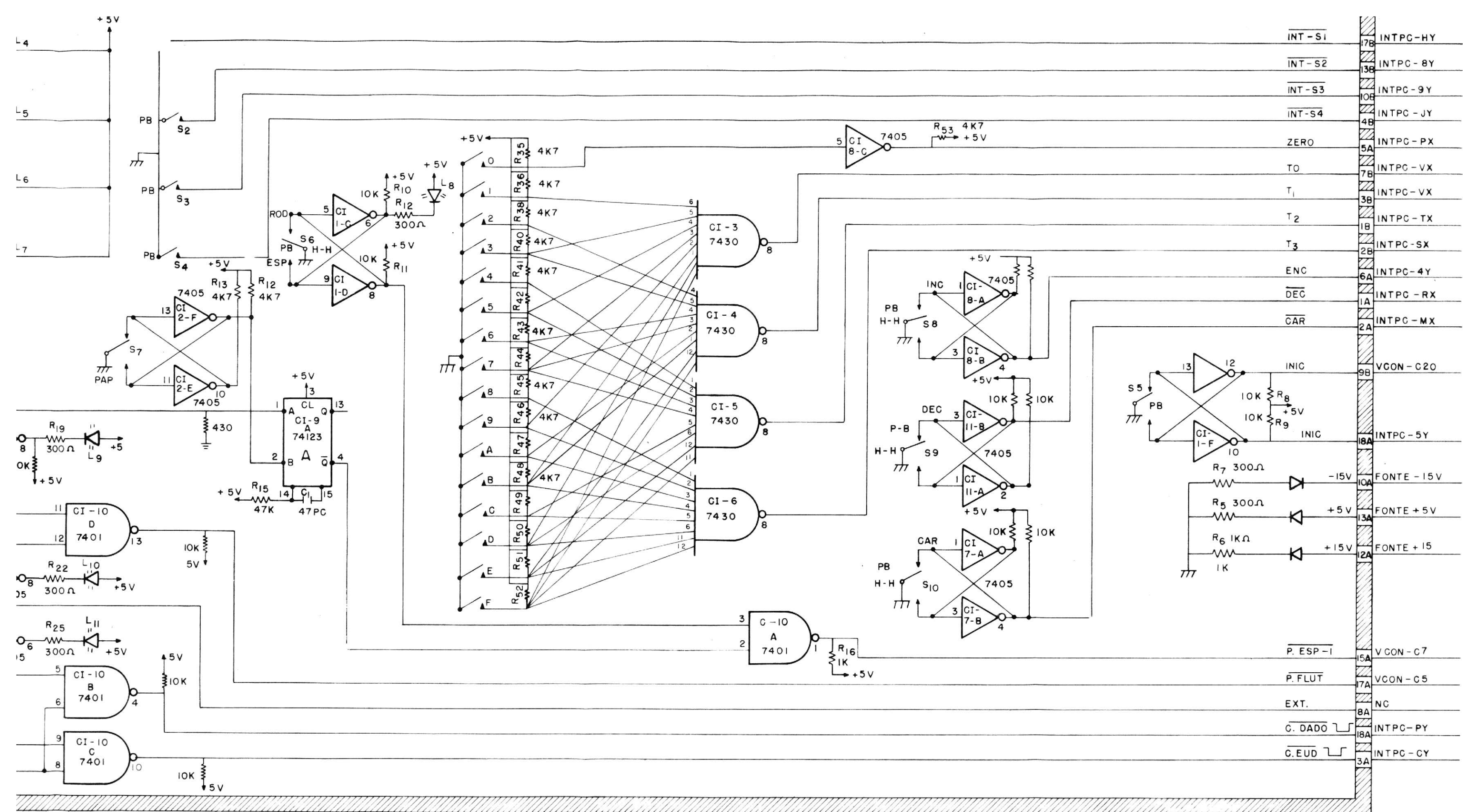
L8 indica que a chave S6 está na posição ESP enquanto L9 indica que S11 está na posição AEM, L10 indica que S12 está na posi ção EXT e L11 indica que S13 está na posição DADO. Os resistores S12, R19, R22 e R25 limitam as correntes destes leds fornecidas pelas por tas D do CI-8, D do CI-11 e C do CI-11, respectivamente.

O monoestável A do CI-9 gera um pulso de 1 μ s, quando a chave S7 é acionada ou quando recebe o pulso externo PAP. Se a chave S6 estiver na posição ESP, o pulso do monoestável A retira a UCP do es tado de espera, permitindo-lhe executar um ciclo de instrução. O si nal de P.ESP é gerado através da porta NE-A do CI-10. R16 é o resistor elevador da porta A.

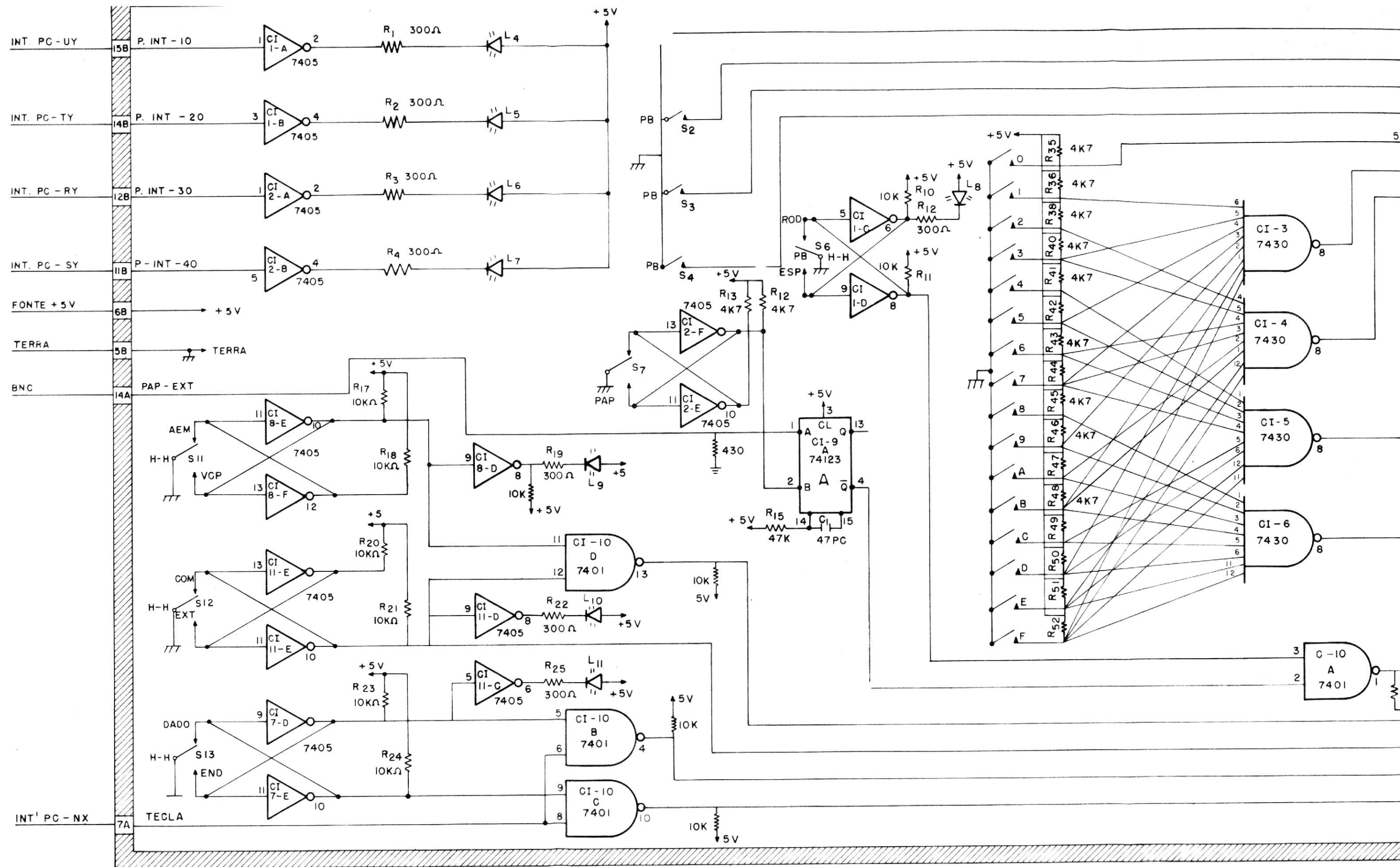
A duração do pulso do monoestável A é definida pelo re sistor R15 e o capacitor C1. R14 é utilizado para levar a entrada A do monoestável CI-9 ao nível "0" quando não existir pulso PAP-EXT.

O pedido de flutuar é gerado na saída da porta D do CI-10, que é um NE entre os sinais das chaves S11 e S12. R28 é o resis tor elevador desta porta.

As portas B e C do CI-10 são comandadas pela chave S13. Quando S13 está na posição DADO, o pulso TEC é enviado para carregar o registro de dado e na posição END para carregar o Contador de Endereço.



INPE LAB. DE SISTEMAS DIGITAIS
 MICRO COMPUTADOR ASTRO - M1
 PAINEL DE CONTROLE
 ESQUEMA: AST - 100M



2.2 - PAINEL DE INDICAÇÃO

O esquema AST-1 PIND-1 A/B está associado ao painel de indicação.

O Painel de Indicação é utilizado para indicar o conteúdo da Via de Endereço, Via de Dado e os estados de funcionamento da UCP. Ele é formado de dois mostradores hexadecimais M1 e M2 e 3 conjuntos de diodos emissores de luz (led) I1, I2 e I3.

- . M1 indica o conteúdo atual da Via de Dados e é formado de dois indicadores Luminosos de 7 segmentos, E e F que são alimentados pelos decodificadores hexadecimais - 7 segmentos CI-5 e CI-4, respectivamente.
- . M2 indica o dado atual da Via de Endereço e é composto de 4 indicadores luminosos de 7 segmentos A, B, C e D que são alimentados pelos decodificadores CI-10, CI-7, CI-6 e CI-2, respectivamente. A é o dígito hexadecimal menos significativo do endereço.

O indicador I1 indica o estado de funcionamento da UCP e é formado dos seguintes leds:

- . L1 - indica que UCP está executando um programa.
- . L2 - indica que UCP está no estado de Espera.
- . L3 - indica que UCP está flutuando.
- . L4 - indica que UCP está parada e foi parada através de uma instrução de "Halt".
- . L5 - indica que é permitida à UCP atender a uma sub-rotina de interrupção.

O indicador I2 apresenta a fase de instrução que está sendo executada pela UCP e é formado dos seguintes Leds:

- . L6 - indica que a UCP está buscando uma instrução na memória.
- . L7 - indica que a UCP está lendo um dado na memória.
- . L8 - indica que a UCP está escrevendo um dado na memória.
- . L9 - indica que a UCP está lendo um dado em uma porta de entrada.
- . L10 - indica que a UCP está escrevendo um dado em uma porta de saída.
- . L11 - indica que a UCP está acessando a pilha.
- . L12 - indica que a UCP está lendo uma instrução de interrupção na UCP.

O indicador I3 indica o estado do circuito de interrupção e é composto dos seguintes Leds:

- . L3 e L14 - indicam o nível de interrupção solicitado à UCP.
- . L15, L16 e L17 - indicam a máscara que permite inibir níveis de interrupções.

Com a exceção da Led L1 todos os demais são alimentados por portas inversoras com coletor aberto, e os resistores de 300 Ω limitam a corrente das Leds. O Led L1 é alimentado pelo transistor T1. Os quatro diodos funcionam como uma porta NOU para os sinais ESP, AEM e PARAR.

Como os circuitos do microcomputador são construídos com componentes MOS, é necessário utilizar componentes para adaptar o nível MOS ao TTL em todas as entradas do Painel de Indicação. Os decodificadores hexadecimais-7 segmentos têm as suas entradas adaptadas por portas excitadoras MOS CI-1, CI-3, CI-8 e CI-9, e as portas de alimentação dos leds tem as suas entradas adaptadas pelas portas inversoras MOS CI-12, CI-15 e CI-16 e portas inversoras com coletor aberto CI-11, CI-13 e CI-14.

A Tabela II.1 apresenta os endereços de desvio das sub-rotinas de interrupção e a Tabela II.2 as máscaras de interrupção.

TABELA II.1

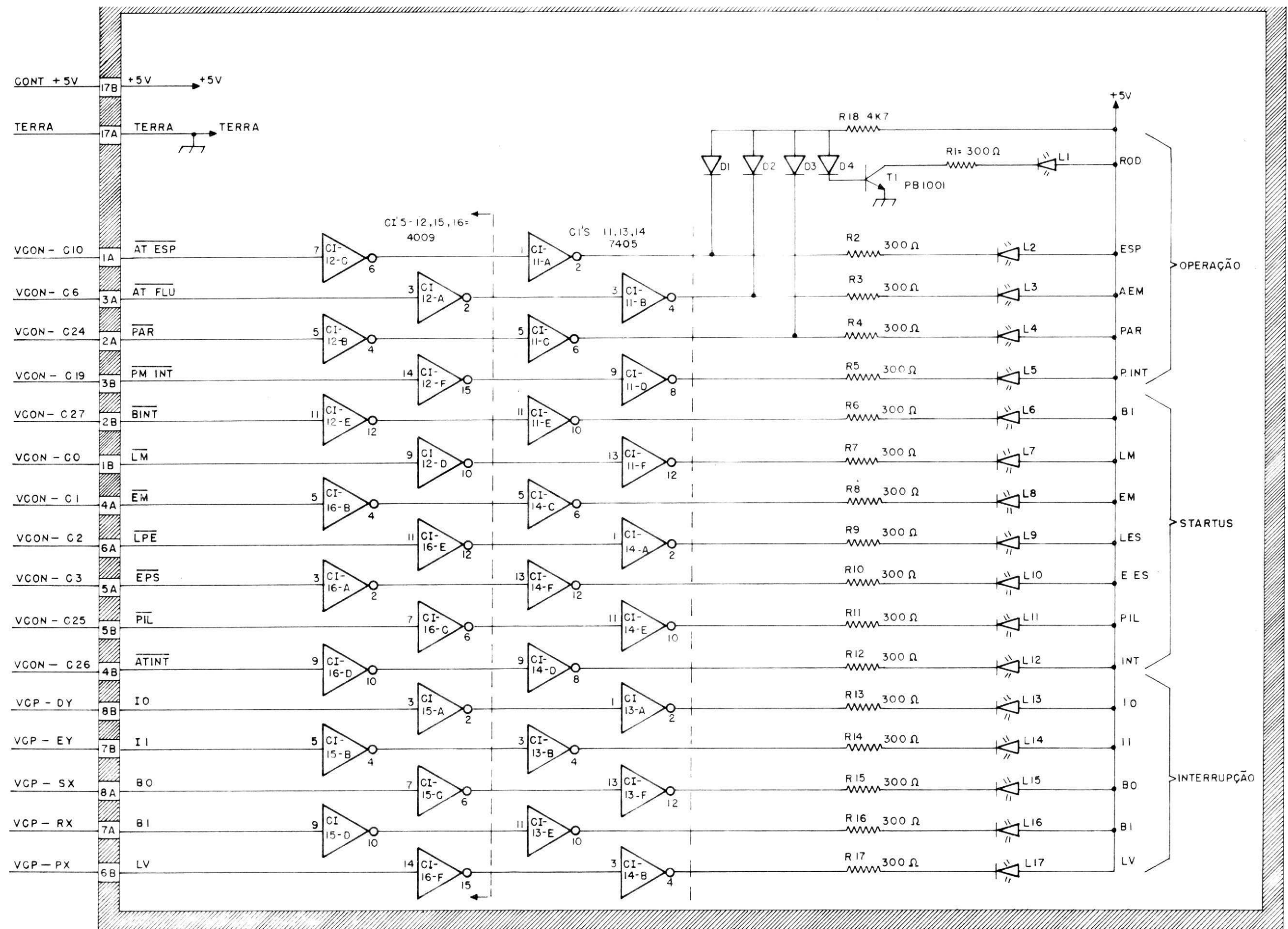
ENDEREÇO DE DESVIO DAS SUB-ROTINAS DE INTERRUPTÃO

NÍVEL	10	11	ENDEREÇOS	PRIORIDADE
3	1	1	008	MAX
2	1	0	0018	
1	0	1	0028	
0	0	0	0038	MIN

TABELA II.2

MÁSCARA DE INTERRUPTÃO

MÁSCARA	NÍVEIS PERMITIDOS	B0	B1	LV
04	3,2,1,0	1	1	1
74	3,2,1	0	0	0
54	3,2	0	1	0
64	3	1	0	0
44	-	1	1	0



2.3 - INTERFACE COM O PAINEL DE COMANDO - O ESQUEMA AST-1 INTPC-1-A/B ESTÁ ASSOCIADO À INTERFACE COM O PAINEL DE COMANDO

Este cartão é formado de um contador para cima e para baixo de 16 bits que armazena o endereço da memória, um registro de 8 bits que retém os dados que serão armazenados na memória, os biestáveis de solicitação de interrupção, o circuito do teclado e o circuito de acessar a memória.

O contador de endereço é formado de 4 contadores binários de 4 bits (CI-21, CI-22, CI-23, CI-24) que são ligados em cascata. Os 4 bits de cada contador são transferidos paralelamente e são controlados por um registro de deslocamento de 8 bits (CI-25). O oscilador de 1 MHz, formado pelas portas inversoras A e B do CI-16 e A do CI-37, gera os pulsos de relógio para o registro de deslocamento. O resistor R3 e o capacitor C1 definem a frequência do oscilador. R₂ é a resistência de saída da porta A do CI-37. O Comando (CEND) para deslocar os dados nos contadores é gerado pelo circuito do teclado e selecionado pela chave S13, localizada no Painel de Comando. Este pulso é invertido pela porta D do CI-16 e aciona o biestável B do CI-13. Este biestável gera um nível alto na entrada de dados série do registro de deslocamento (CI-25). Este nível alto, ao ser deslocado para a saída QA, zera o biestável B do CI-13. Desta forma apenas uma das saídas do registro de deslocamento fica no nível alto. Este bit 1, ao se deslocar neste registro, comanda a transferência paralela dos 4 bits do contador na seguinte ordem:

- Os bits de saída do CI-23 são transferidos para o CI-24.
- Os bits de saída do CI-22 para o CI-23.
- Os bits de entrada (T0, T1, T2 e T3) para o CI-21.

Desta forma, o dígito hexadecimal do endereço gerado no circuito codificador do teclado é transferido para o dígito menos significativo do contador e os demais dígitos são deslocados para a posição dos dígitos mais significativos. O contador de endereço também pode ser incrementado ou decrementado pelas chaves S8 e S9 respectivamente. A porta NOU D

do CI-14 permite que um gerador de pulso externo ligado ao BNC-2, também incremente o contador de endereço.

O registro de dado é formado de dois registros de 4 bits, CI-11 e CI-26. O pulso C. DADO que é gerado no circuito do teclado transfere os quatro bits de saída do CI-11 para o CI-26 e os dados de saída do decodificador do teclado para CI-11. As portas inversoras D e E do CI-19 atrasam os pulsos de carregar o CI-26. Portanto o dígito menos significativo é transferido para a posição do mais significativo, e em seguida, o dígito gerado na tecla é transferido para a posição menos significativa do registro de dados.

O circuito de teclado é composto de um monoestável (CI-12-A), um biestável (CI-13-A) e uma porta NOU, formada pelas portas inversoras de coletor aberto A,B,C,D e E do CI-11. As saídas destas portas são ligadas ao resistor de saída R4, e vão para o nível lógico "0", quando qualquer linha de saída de dados do decodificador do teclado ou a tecla zero for 1, indicando que o teclado foi acionado. O monoestável é utilizado para gerar um pulso atrasado eliminando, assim, o efeito do repicamento ("bounce") dos contatos do teclado. Quando qualquer tecla é acionada, o monoestável A do CI-12 gera na sua saída um pulso de 25 ms que dispara, após este intervalo de tempo, o biestável A do CI-13. Este biestável fornece na sua saída o pulso Tecla que se inicia 25 ms após o acionamento de qualquer tecla e permanece no nível alto até ser zerado pela porta inversora F do CI-11, que indica que a tecla foi desacionada. R5 é o resistor elevador da porta F do CI-11 e o resistor R6 juntamente com o capacitor C2 definem a largura do pulso do monoestável A do CI-12.

O circuito de acessar a memória é composto dos monoestáveis A e B do CI-15 e B do CI-12, que controlam as portas de 3 estados permitindo que os dados do registro de dados sejam enviados para a via de dados e o endereço para via de endereços. A porta A do CI-14 é um NOU entre o pulso CAR DAD fornecido pela chave S10 do Painel de Comando e o pulso de CAREXT. A transição negativa do pulso de saída da porta A dispara os monoestáveis A do CI-15 e B do CI-12. O monoestável B

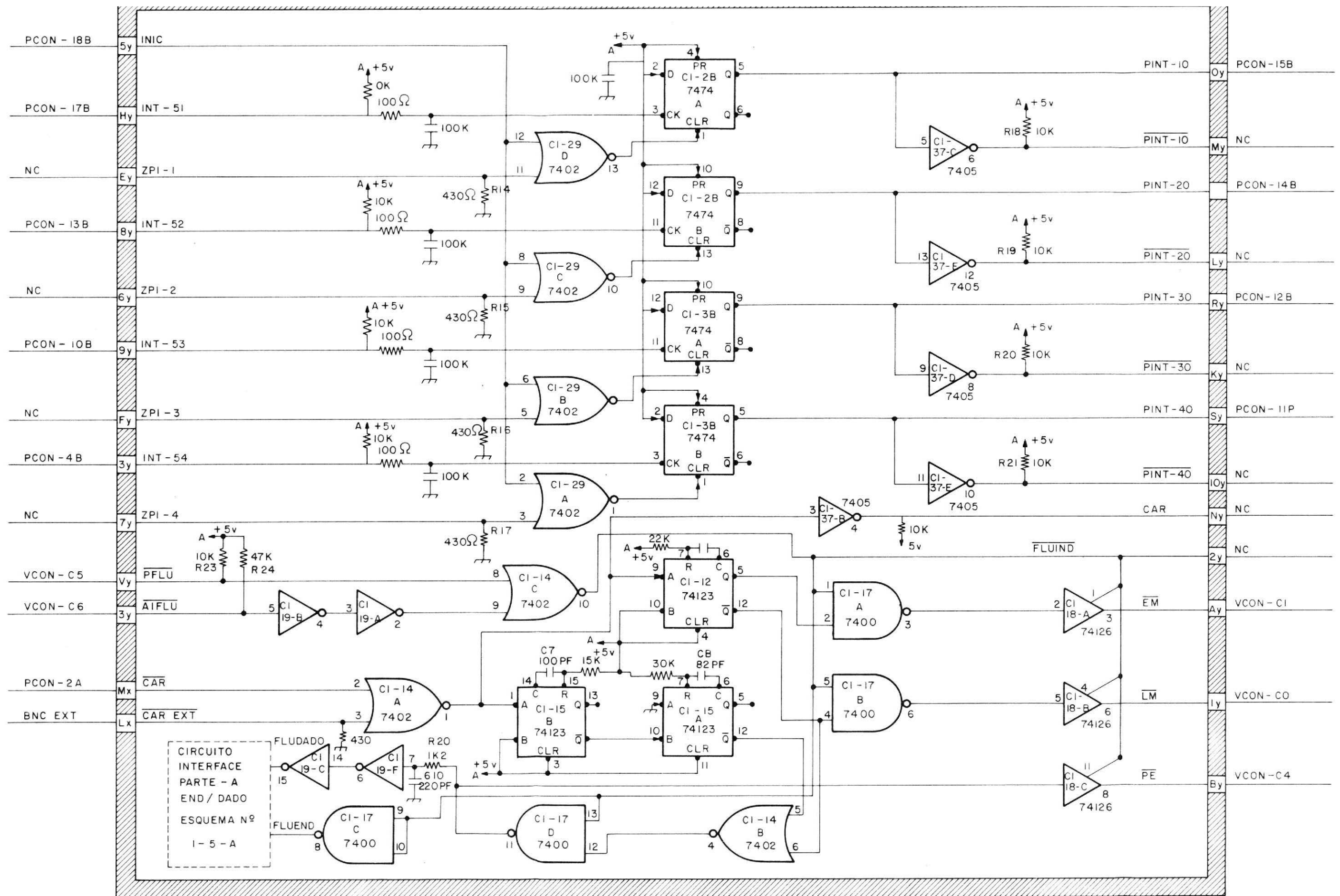
do CI-12 gera um pulso de largura de $2\ \mu\text{s}$ que através da porta A gera o comando Escrever Memória ($\overline{\text{EM}}$). Quando não existir pulso na saída do CI-12 a porta B do CI-17 fornece o comando Ler Memória ($\overline{\text{LM}}$). O monoestável A do CI-15 gera um pulso de $0,5\ \mu\text{s}$ e na sua transição positiva, dispara o monoestável B do CI-15 que gera um pulso de $1\ \mu\text{s}$ de largura que, após passar pelas portas B do CI-14 e D do CI-17, fornece o pulso de escrever ($\overline{\text{PE}}$).

Os comandos $\overline{\text{EM}}$, $\overline{\text{LM}}$ e pulso $\overline{\text{PE}}$ passam pelas portas de 3 estados A, B e C do CI-18, respectivamente. Estas portas são ativas quando os sinais pedido de flutuar ($\overline{\text{PFLU}}$), gerado pelas chaves S11 e S12 do painel de comando, e o sinal Atendimento de Flutuar ($\overline{\text{ATFLU}}$), fornecida pela UCP, estiverem no nível lógico "0". O "E" destes dois sinais é realizado na porta C do CI-14. As portas inversoras A e B do CI-14 são utilizadas para atrasar o sinal $\overline{\text{ATFLU}}$ evitando que a interface acesso a memória antes que a UCP inicie o flutuar.

O sinal $\overline{\text{FLUEND}}$ que ativa as portas de 3 estados que controlam os sinais de saída do Contador de Endereço é fornecido pela porta C do CI-17 e invertido pelos inversores C e F do CI-16. O pulso FLUDAD ativa as portas de 3 estados que controlam os sinais do Registro de Dados e é gerado atrasado em relação ao pulso $\overline{\text{PE}}$. O atraso é realizado pelas portas C e F do CI-19, D do CI-17 e pelo circuito passivo R20-C10. Os resistores R 23 e R 24 são utilizados para manter as portas B do CI-19 e C do CI-14 em nível alto, quando não existirem sinais na entrada. O resistor R 22 é para manter a entrada 3 da porta A do CI-14 no nível lógico "0", quando não existir sinal na entrada. O resistor R 28 e o capacitor C9 definem a largura do pulso do monoestável B do CI-12, enquanto R 26 e C7 definem a largura do pulso do monoestável A do CI-15 e R 27 - C8, do monoestável B do CI-15.

Os 4 biestáveis A e B do CI-28 e A e B do CI-38 são acionados, respectivamente, pelas chaves S1, S2, S3 e S4 do painel de comando. O circuito passivo formado por dois resistores e um capacitor são utilizados para diminuir o efeito de repicamento dos contactos das chaves. Para zerar estes biestáveis, as portas A, B, C e D do CI-29

realiza o NOU entre o pulso de inicializar fornecido pelo painel de comando e um pulso externo. O pedido de interrupção é enviado à UCP através das portas inversoras de coletor aberto C, D, E e F do CI-37 ligadas às saídas Q dos biestáveis de pedido de interrupção.



CAPÍTULO III

UNIDADE CENTRAL DE PROCESSAMENTO - UCP - Esquema - AST-UCP-A/B.

O elemento principal da UCP é o microprocessador 8080A da Intel. Suas características são apresentadas no anexo A. Um conjunto de portas de 3 estados é utilizadas para acoplar as saídas de endereço e de dados às vias de endereço e de dados respectivamente. Estas portas além de protegerem o microprocessador contra curto-circuito na via de dados e endereço, permitem que a UCP entre em estado de flutuação (alta impedância). O sinal FLUTUAR, fornecido pela saída $\bar{Q}$ do biestável A do CI-24, após ser invertido pela porta C do CI-17, comanda as portas de 3 estados que controlam as saídas de endereço do microprocessador. Desta forma, quando o sinal $\overline{\text{FLUTUAR}}$ estiver no nível "0", as saídas destas portas estão no estado de alta impedância. Como a via de dados é bidirecional, a saída e entrada de dados são controladas por dois conjuntos de 8 portas de 3 estados. O primeiro conjunto que controla a entrada de dados só é ativado se a saída DBIN do microprocessador estiver no nível alto e o sinal que solicita a flutuação da via de dados estiver desativado. O segundo conjunto controla a saída de dados da UCP, e é ativado quando o sinal DBIN for baixo e o sinal FLUDAD não estiver ativado. Este sinal é ativado quando a UCP estiver no 1º ciclo da instrução de atendimento de interrupção, ou quando o sinal FLUTUAR estiver no nível alto. A porta D do CI-18 realiza a função NOR destes dois sinais. O sinal DBIN é atrasado pelo circuito passivo R15 - C3 e a porta D do CI-15. O diodo D2 faz com que o atraso na transição positiva de DBIN seja menor que na transição negativa. A porta B do CI-16 realiza o NE entre o sinal DBIN atrasado e o sinal FLUTUAR DADO. O sinal DBIN também é atrasado pela porta E do CI-15 e invertido pela porta A do CI-13; a porta C do CI-16 realiza o NE entre este sinal FLUTUAR DADO. Estes atrasos são calculados de forma a evitar que os dois conjuntos de portas de 3 estados que controlam a via de dados, sejam ativados ao mesmo tempo. O sinal $\overline{\text{FLUTUAR}}$ é gerado pelo biestável A do CI-24 e é controlado pelo sinal HOLD do microprocessador. Este biestável é sincronizado pela transição negativa do sinal $\emptyset 2$.

Os outros circuitos que compõem a UCP são: circuito de Comando, circuito de Controle Externo, Relógio e Circuito de Interrupção.

O circuito de comando é formado de dois registros de 4 bits, CI-27 e CI-28, onde a palavra de "status" de cada ciclo da instrução é carregada no estado T2. Esta palavra define a operação que serã executada neste ciclo. O sinal para carregar a palavra de "status" é fornecido pela porta B do CI-17 que realiza o NE entre o sinal de SYNC fornecido pelo microprocessador e o sinal de SYNC atrasado pelo biestável A do CI-14 pela porta C do CI-13 e o capacitor C4.

Os tipos de operações externas definidos pela palavra de "status" são:

- Buscar Instrução
- Ler a Memória
- Escrever na Memória
- Ler uma Porta de Entrada
- Acessar a Pilha
- Acessar o Circuito de Interrupção
- Parar

Com exceção do comando Escrever na Memória, que é decodificado pela porta C do CI-19, os demais comandos são fornecidos diretamente pelo registro de "status".

O comando Ler a Memória pode ser inibido através de um nível baixo na entrada 2 da porta A do CI-16, permitindo que um periférico externo forneça dados na via de dados durante o tempo de acesso à memória.

Estes sinais de comando, antes de serem enviados para os demais circuitos, passam através de portas de 3 estados que são contro

lados pelo sinal Flutuar fornecido pelo biestável A do CI-24. O pulso de escrever é fornecido pelo microprocessador nas operações de escrever na memória ou de escrever em uma porta de saída. Este sinal passa pela porta de 3 estados F do CI-39 que também é controlada pelo sinal Flutuar. A porta A do CI-19 realiza o NE lógico dos sinais Flutuar, DBIN e do comando Acessar o Circuito de Interrupção. O sinal de saída desta porta, quando no nível lógico "0", indica que o circuito de interrupção está sendo acessado.

O CI-25 é o gerador de sinal de relógio, controlado a cristal de quartzo, e fornece ao microprocessador os dois sinais defasados $\emptyset 1$ e $\emptyset 2$ de frequência de 2 MHz . A frequência do oscilador é de 18 MHz e pode ser ajustada pelo capacitor variável C2. Este circuito também é utilizado para sincronizar o sinal de Iniciar e o sinal de Esperar com a transição positiva do sinal $\emptyset 2$. O diodo D1, o capacitor C1 e resistor R10 são utilizados para gerar um pulso de iniciar logo que a tensão é aplicada à UCP.

Com a maioria dos componentes que formam os circuitos são do tipo MOS e apresentam um atraso relativamente grande, é necessário gerar 3 estados de espera quando a UCP acessar a memória ou uma porta de entrada. Este atraso é gerado através dos biestáveis A e B do CI-14. Estes biestáveis são zerados pelo sinal SINC fornecido pelo microprocessador. A primeira transição negativa de $\emptyset 2$ após ao sinal SINC leva a saída Q do biestável A do CI-14 ao nível "1", enquanto a 2^a transição leva o biestável B do CI-14 ao nível "1". Depois de ser atrasado pela porta C do CI-18, o sinal fornecido pela saída Q do biestável B é sincronizado pela transição positiva de $\emptyset 2$ e enviado ao microprocessador que continuará a execução da instrução. As formas de ondas destes sinais são apresentadas na Figura II.1. Se a UCP acessar um circuito externo com tempo de resposta maior que 1,5 será necessário que este circuito gere um nível "0" em uma das 3 entradas da porta NOU B do CI-19. Os resistores R11, R12 e R13 são utilizados para levar as entradas desta porta ao nível lógico "1", quando não existir um sinal de entrada.

O biestável B do CI-24 é utilizado para sincronizar o sinal externo P. Flutuar com a transição negativa de $\emptyset 2$. O sinal de saída $\overline{Q}$ deste biestável é enviado ao microprocessador e é utilizado para solicitar a flutuação da UCP. O microprocessador responde com um nível alto na saída HLDA. Este sinal é sincronizado com a transição negativa de $\emptyset 2$ no biestável A do CI-24 e enviado para as portas de 3 estados que controlam as saídas do UCP para que elas entrem no estado de alta impedância.

A lógica de interrupção é formada de dois registros de 4 bits, um circuito de prioridade e um circuito de inibição. O primeiro registro, CI-22 armazena os níveis de interrupção. Este dado é carregado na transição negativa do sinal INTE fornecido pelo microprocessador. Este sinal indica, quando em nível alto, que é permitido ao microprocessador atender a uma sub-rotina de interrupção. O sinal INTE é invertido pela porta D do CI-16 e enviado para o registro CI-22. As portas A, B, C e D do CI-31 permitem que dois circuitos externo solicitem o mesmo nível de interrupção. Os resistores R1 a R8 levam as entradas destas portas ao nível "1", quando não existir sinal na entrada. O circuito de prioridade é constituído das portas B, C e D do CI-23 e codifica os 4 níveis de interrupções em 2 bits, segundo a Tabela 1. Estes bits são complementados pela portas A do CI-18 e B do CI-13 e enviados para as portas de 3 estados E do CI-26 e E do CI-38. As demais portas de 3 estados que formam a instrução de interrupção tem suas entradas em nível lógico "1" e são ativadas quando o microprocessador executar a instrução de interrupção. Os endereços de desvios para as interrupções são apresentados na Tabela III.1.

No segundo registro é armazenado a palavra de máscara que define o nível de interrupção permitido. Esta palavra é carregada por um canal de saída através do sinal CAR-INT. O circuito de inibição é formado pelas portas A e B do CI-12, A do CI-23 e B do CI-11. Os níveis de interrupção permitidos para cada máscara são apresentados na Tabela III.2.

TABELA III.1

NÍVEL DE INTERRUPÇÃO X ENDEREÇO

NÍVEL DE INTERRUPÇÃO				ENTRADA DE DADOS			ENDEREÇO
0	1	2	3	D5	D4	D3	HEXADECIMAL
x	x	x	0	0	0	1	0008
x	x	0	1	0	1	1	0018
x	0	1	1	1	0	1	0028
0	1	1	1	1	1	1	0038
1	1	1	1	1	1	1	—

TABELA III.2

NÍVEL DE INTERRUPÇÃO X MÁSCARA

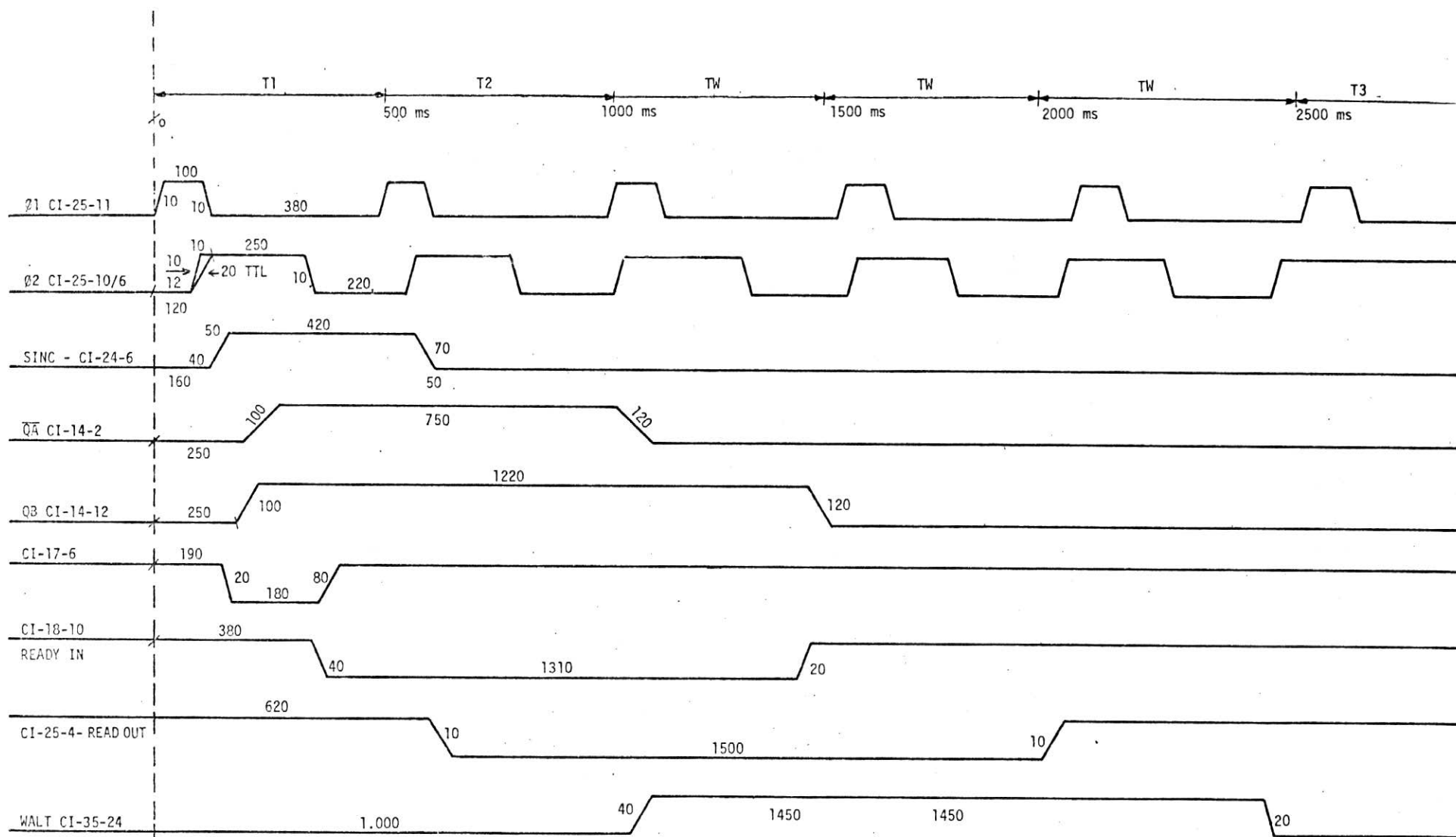
MÁSCARA			NÍVEL DE INTERRUPÇÃO
AT-1	AT-2	$\overline{\text{LV}}$	
x	x	0	0,1,2,3
1	1	1	1,2,3
1	0	1	2,3
0	1	1	3
0	0	1	Bloqueado

A saída da porta A do CI-11, quando no nível "0", indica que existe algum pedido de interrupção. A porta C do CI-12 realiza o NE lógico entre este sinal $\overline{\text{BLOQ INT}}$ e o sinal $\overline{\text{INIBIR}}$. O sinal de saída da porta C é invertido pela porta E do CI-13 e enviado ao microprocessador, que, quando em nível alto, indica a existência de um pedido de interrupção. O sinal $\overline{\text{BLOQ INT}}$ é utilizado para bloquear externamente o pedido de interrupção.

As portas inversoras A, B, C, D, E e F do CI-12.5, os resistores R22, R22 e R23 e os capacitores C8, C9 e C10 atrasam os dados que são carregados no registro de máscara.

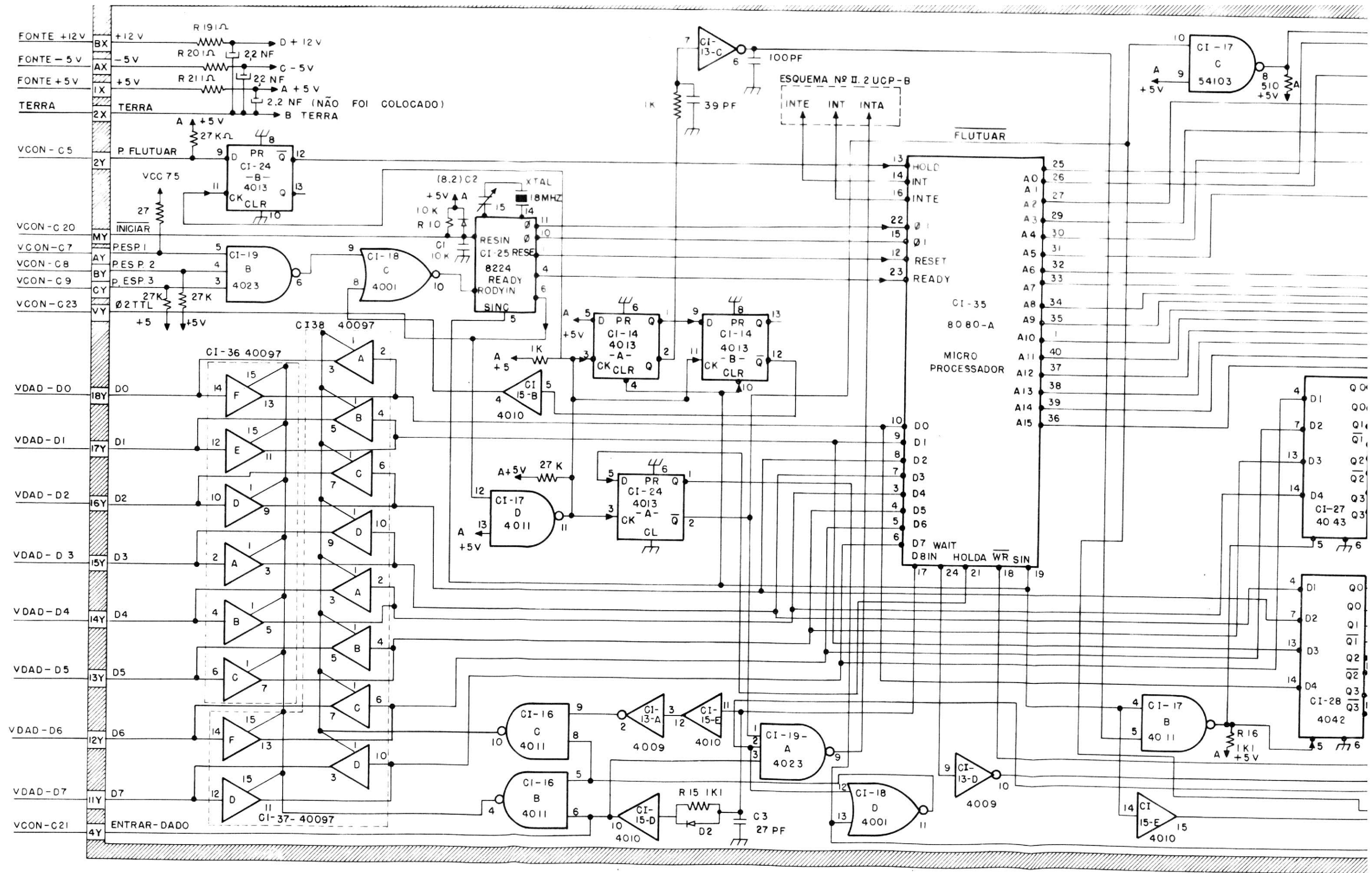
Os resistores R19, R20 e R21 e os capacitores C5, C6 e C7 são os filtros de linha para as tensões de alimentação.

A Figura III.1 apresenta as principais formas de onda da UCP para gerar 3 ciclos de espera.



Obs. o tempo é especificado em ns;

Fig. III.1 - Principais formas de onda na UCP para a geração de 3 ciclos de espera.



CAPÍTULO IV

MEMÓRIA DE ACESSO ALEATÓRIO

O esquema AST-1 RAM-1 está associado à memória de acesso aleatório.

Esta memória tem a capacidade de 2K palavras de 8 bits e é formada de dois blocos de 1K palavras de 8 bits. Cada bloco é constituído de 8 unidades de memória estática de 1K palavras de 8 bits. As unidades de um mesmo bloco têm seus comandos de seleção ($\overline{CS}$) e de escrever (W) interligados entre si, enquanto as saídas e entradas de dados são independentes.

Os 10 bits menos significativos do endereço, após passarem pelas portas excitadoras A,B,C,E e F do CI-31 e A,B,C e D do CI-32, são enviados a todas as unidades de memória. O bit A10 do endereço é invertido pela porta A do CI-33 e é utilizado para seleccionar o bloco de memória M1, se for igual a "0" e o bloco M2 caso contrário. Os demais bits do endereço são complementados pelas portas B,C,D,E e F do CI-33 e são utilizados para definir o endereço inicial da memória.

A porta NE-D do CI-39 e a porta INV-E do CI-37 fazem com que tanto o comando de Ler a Memória ($\overline{LM}$) e Escrever Memória ($\overline{EM}$) ative a entrada 2 da porta NOU do CI-34. Cinco outras entradas desta porta NOU são ligadas às linhas dos 5 bits mais significativos do endereço da memória complementados ou não, dependendo do endereço inicial.

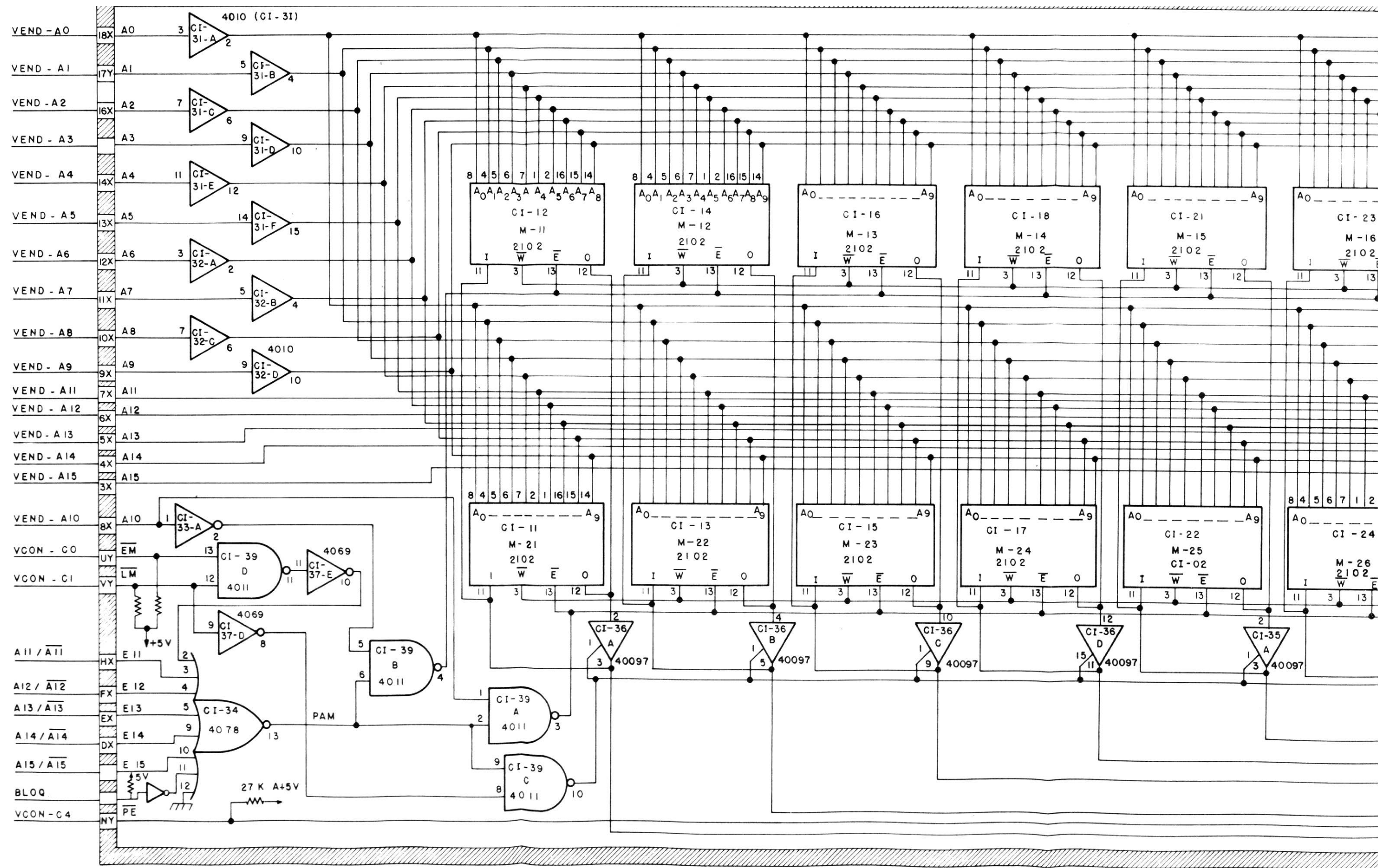
Quando o endereço desta memória for decodificado no ciclo de acesso à memória, o sinal PAM vai para o nível lógico 1 e desinibe as portas A,B e C do CI-39 que controlam o acesso aos blocos de memória.

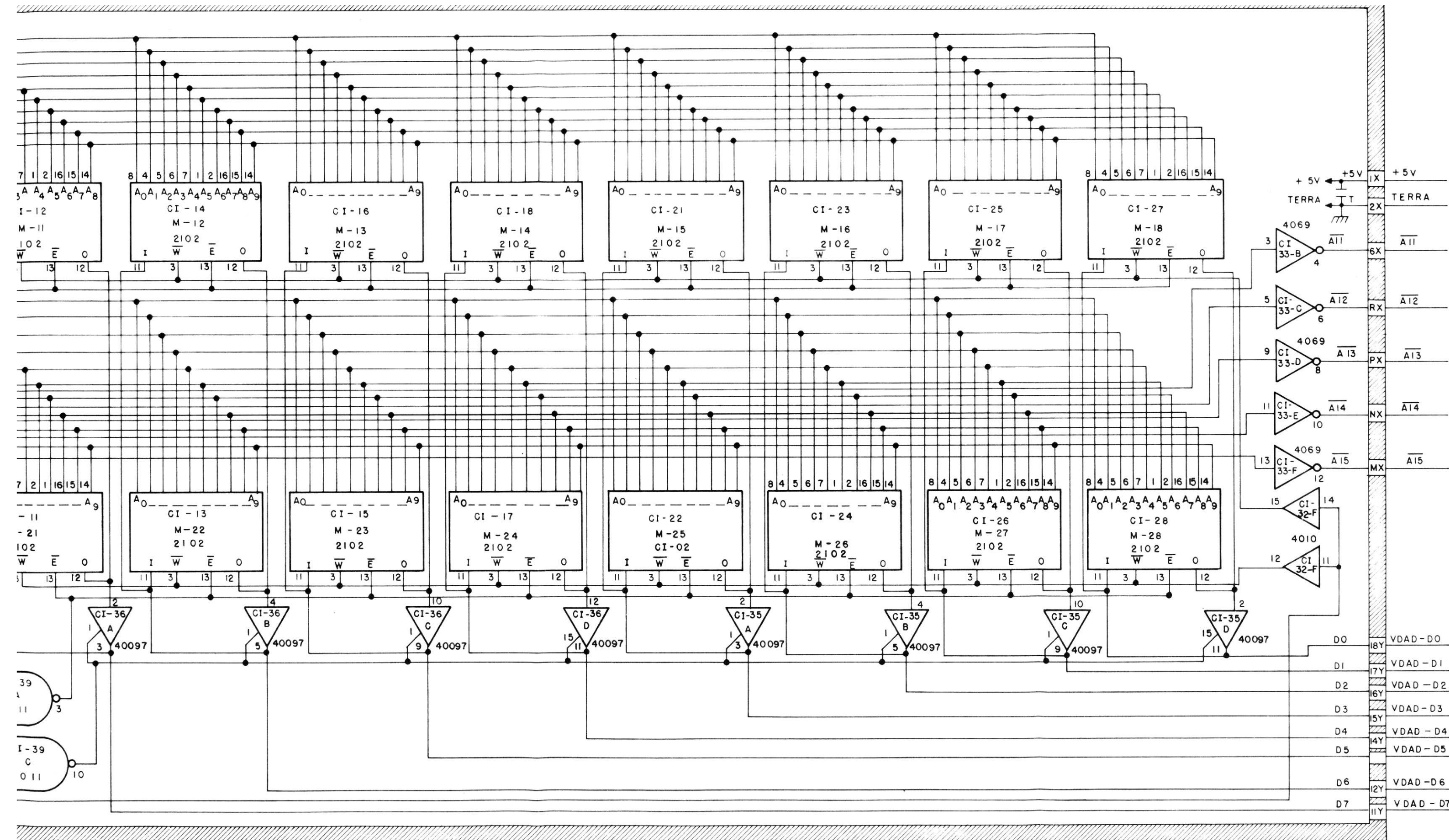
As portas NE A e B do CI-39 seleccionam um dos blocos da memória, dependendo do bit 10 do endereço. O pulso de escrever ($\overline{PE}$) é enviado aos blocos de memória através das portas excitadoras E e F do CI-32.

No ciclo de Ler Memória a porta NE C do CI-39 desinibe as portas de 3 estados A,B,C e D do CI-36 e A,B,C e D do CI-35 permitindo que os dados lidos na memória sejam enviados para a Via de Dados.

O bloco M1 da memória é formado, na ordem do bit menos significativo para o mais significativo, pelos CI-12, CI-14, CI-16, CI-22, CI-24, CI-26 e CI-28, enquanto o bloco M2 é formado pelos CI-11, CI-13, CI-15, CI-17, CI-21, CI-23, CI-25 e CI-27.

O tempo de acesso desta memória é de $1\mu s$, sendo 650 ns devido às unidades de memória e 350 ns devido ao circuito de controle.





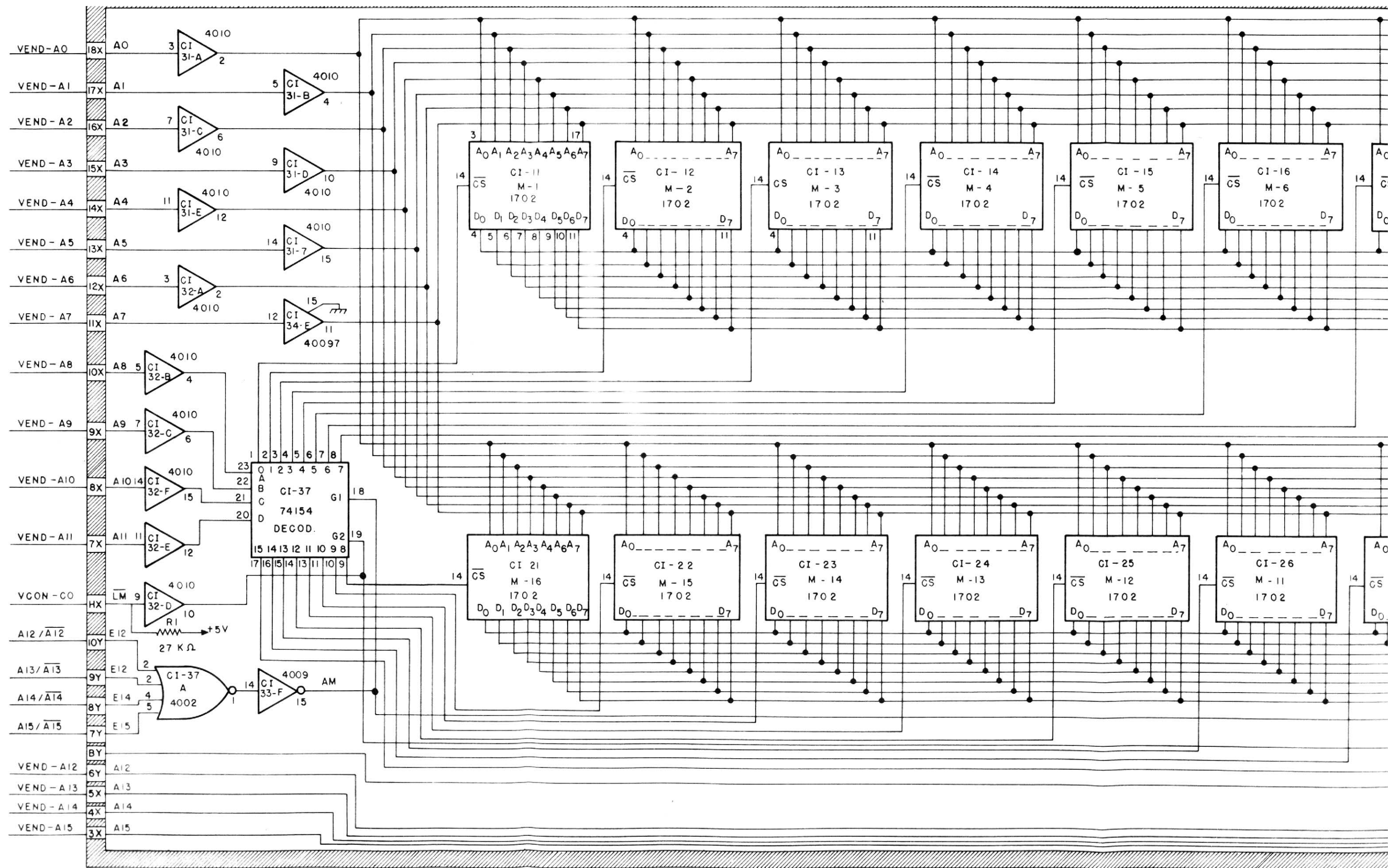
CAPÍTULO V

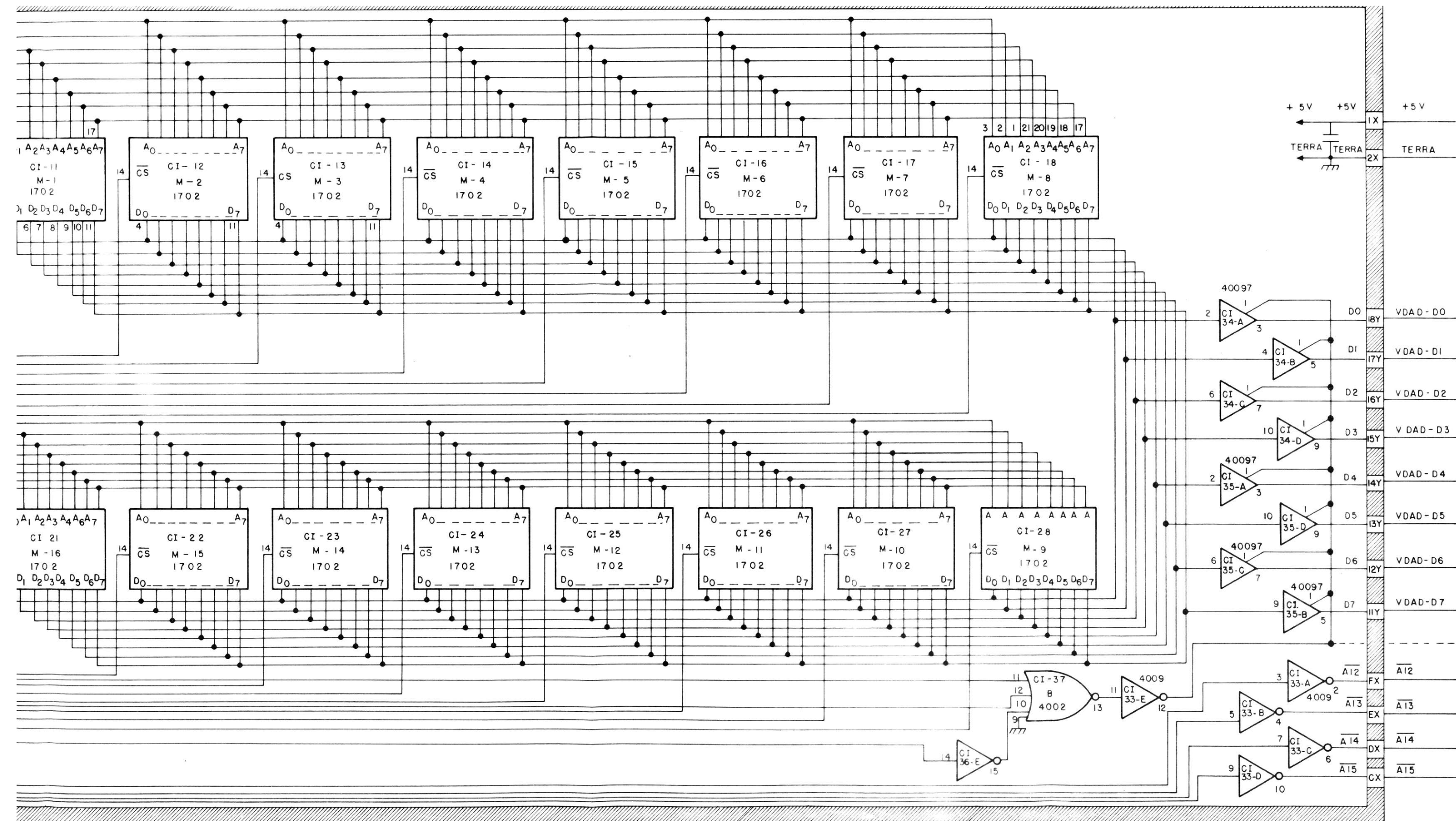
MEMÓRIA DE APENAS LEITURA

O esquema AST-1-ROM-1 está associada à memória de apenas leitura.

Esta memória tem a capacidade de 4K palavras de 8 bits e é formada de 16 unidades de memória EPROM de 256 palavras de 8 bits ligadas em paralelo.

Os 8 bits menos significativos da via de endereço passam pelas portas excitadoras A,B,C,D, E e F do CI-31, A do CI-32 e E do CI-35 e são enviados a todas as unidades de memória. Os 4 bits mais significativos são complementados pelas portas inversoras A,B,C e D do CI-33 e são utilizados para definir o endereço inicial da memória. Os bits A8, A9, A10 e A11, após passarem pelas portas excitadoras B, C, E e F do CI-32, são enviados para o circuito decodificador CI-37, de 4 linhas para 16 que seleciona uma das 16 unidades de memória. Este decodificador é desinibido pelo comando Ler Memória (LM) fornecido pela porta excitadora D do CI-32 e pelo sinal $\overline{AM}$ decodificado pela porta A do CI-36 e invertido pela porta F do CI-33. Nas 4 entradas da porta NOU A do CI-36 são conectados externamente os 4 bits mais significativos do endereço da memória complementados ou não, dependendo do endereço inicial da memória. Os sinais utilizados para desinibir o decodificador CI-37 são enviados para a porta NOU B do CI-36 cujo sinal de saída, após ser invertido pela porta E do CI-33, desinibe as 8 portas de 3 estados permitindo que o dado lido da memória seja enviado à via de dados. O tempo de acesso desta memória é de 1.5μ sec e os 3 intervalos de tempo de espera t_W deverão ser geradas externamente.





INPE LAB. DE SISTEMAS DIGITAIS
 MICRO COMPUTADOR ASTRO
 MEMÓRIA DE APENAS LEITURA

CAPÍTULO VI

INTERFACE COM O TELETIPO

O esquema ASTRO-S1-INTTTY-1- A,B,C está associado à interface com o teletipo.

A Interface com teletipo é formada de 3 circuitos que são:

- Transmissor de dados
- Receptor de dados
- Circuito de controle

1) Receptor de dados:

Este circuito recebe o dado série fornecido por um teletipo ou por circuitos externos com sinal compatível com o teletipo, converte estes dados de série para paralelo e solicita uma interrupção a UCP. A UCP lê este dado através de uma porta de entrada.

O sinal de entrada é complementado pela porta C do CI-22 e enviado ao biestável A do CI-24 que é disparado na transição positiva do sinal. Ao ser disparado este biestável desinibe o contador binário de 12 bits, o CI-25, que gera na sua saída Q8, onze pulsos de relógio atrasados de meio ciclo, que comandam o registro de deslocamento de 11 bits. Após ser complementado pela porta C do CI-22, o sinal de entrada é novamente invertido pela porta B do CI-22 e enviado ao registro de deslocamento formado pelos biestáveis A e B do CI-29 e A do CI-19 e por dois registros de deslocamento de 4 bits A e B do CI-13. Após a palavra série de 11 bits estar carregada, o biestável A e B do CI-23 contêm os dois bits de término, o biestável A do CI-19 o bit de início e os dois registros de deslocamento do CI-13 os bits de informação, sendo que a parte menos significativa está armazenada no re

gistro A e a mais significativa em B. A saída Q1 do registro de deslocamento B do CI-13 contém o bit de paridade. 1/4 de ciclo após o último pulso de relógio, os 8 bits de informação são transferidos para os registros CI-14 e CI-15. Os 4 bits menos significativos são armazenados em CI-15 e os mais significativos em CI-14.

O biestável B do CI-24 juntamente com as portas B, C e D do CI-21 formam um circuito para conferir, de modo série, a paridade da palavra recebida. Após o 3º pulso de deslocar o biestável é zerado. Nos próximos pulsos o biestável muda de estado se o bit de informação for 1 e permanece no mesmo estado se bit for "0". Desta forma se o bit de informação tiver a paridade par a saída Q deste biestável deverá estar no nível lógico 1. Caso contrário ele indicará erro de paridade.

Além de conferir a paridade, a porta B do CI-26 confere se o bit de iniciar é zero e os dois bits de término estão no nível lógico 1. Qualquer erro, a saída da porta B vai para o nível lógico 1. Esta informação deverá ser lida 1/2 ciclo de relógio após o pedido de interrupção, enquanto os bits de informação ficarão estáveis 11 ciclos após o pedido de interrupção.

O pulso que carrega os dados nos registros de saída é gerado pela porta A do CI-26, que decodifica o estado EI2 do contador CI-25, e também é utilizado para disparar o biestável B do CI-19 que solicita a interrupção e zera o biestável A do CI-24 após ser atrasado pelas portas D, E, F do CI-22.

O sinal de saída Q, do biestável de interrupção, é invertido pela porta C do CI-18 e enviado à UCP para indicar que chegou um dado de entrada. Este biestável também pode ser acionado pelo comando CAR-5 e zerado pelo comando CAR-6 que são fornecidos pelo circuito de controle. O circuito de controle decodifica as duas portas de entradas e gera os comandos LER-1 e LER-2. O comando LER-1 é invertido pela porta A do CI-18 e desinibe as 8 portas de 3 estados que conectam os dados dos registros de dados CI-14 e CI-15 à via de

dados. O comando LER-2 é invertido pela porta B do CI-18 desinibe as 3 portas A,B e C do CI-17. A porta A do CI-17 conecta a saída da por CI-26 a linha Do da via de dados. Este sinal indica, quando no nível lógico 1, que houve erro no sinal recebido. A porta B do CI-17 conecta a saída Q do biestável A à linha D1 e indica que o receptor está recebendo um dado de entrada. A porta C do CI-17 liga o sinal TR ocupado, gerado pelo circuito transmissor, à linha D2 da via de dados e indica que o transmissor está transmitindo um dado.

O comando que zera o biestável B do CI-24 é fornecido pela porta A do CI-12 que, juntamente com a porta inversora A do CI-22, decodifica o estado E3 do contador CI-25.

As formas de onda deste circuito são mostradas na Figura 1.

2) Transmissor de dados

O dado a ser transmitido é carregado no registro de deslocamento CI-28 através do comando CAR-1, gerado no circuito de controle. Este comando zera o biestável A do CI-27 que fornece o bit de iniciar e, após ser invertido pela porta D do CI-18, dispara o biestável A do CI-37 que desinibe o contador CI-38, iniciando assim, a operação de conversão dos dados de paralelo para série. Após 1/2 ciclo de relógio, o contador CI-38 começa a enviar os 11 pulsos de deslocar para o registro de deslocamento e para os biestáveis A e B do CI-27. A porta NOU B do CI-12 e a porta inversora F do CI-18 realizam o "ou" lógico entre os pulsos de deslocar fornecidos pelo contador e o pulso INICTR após invertido pela porta E do CI-18.

A palavra de dado é invertida pela porta B do CI-29 e enviada ao teletipo.

Depois de fornecer os 11 pulsos de deslocar a porta A do CI-39 e a porta E do CI-29 decodificam o estado E 12 do contador, fornecendo o sinal FIMTR que dispara o biestável B do CI-37 e, após

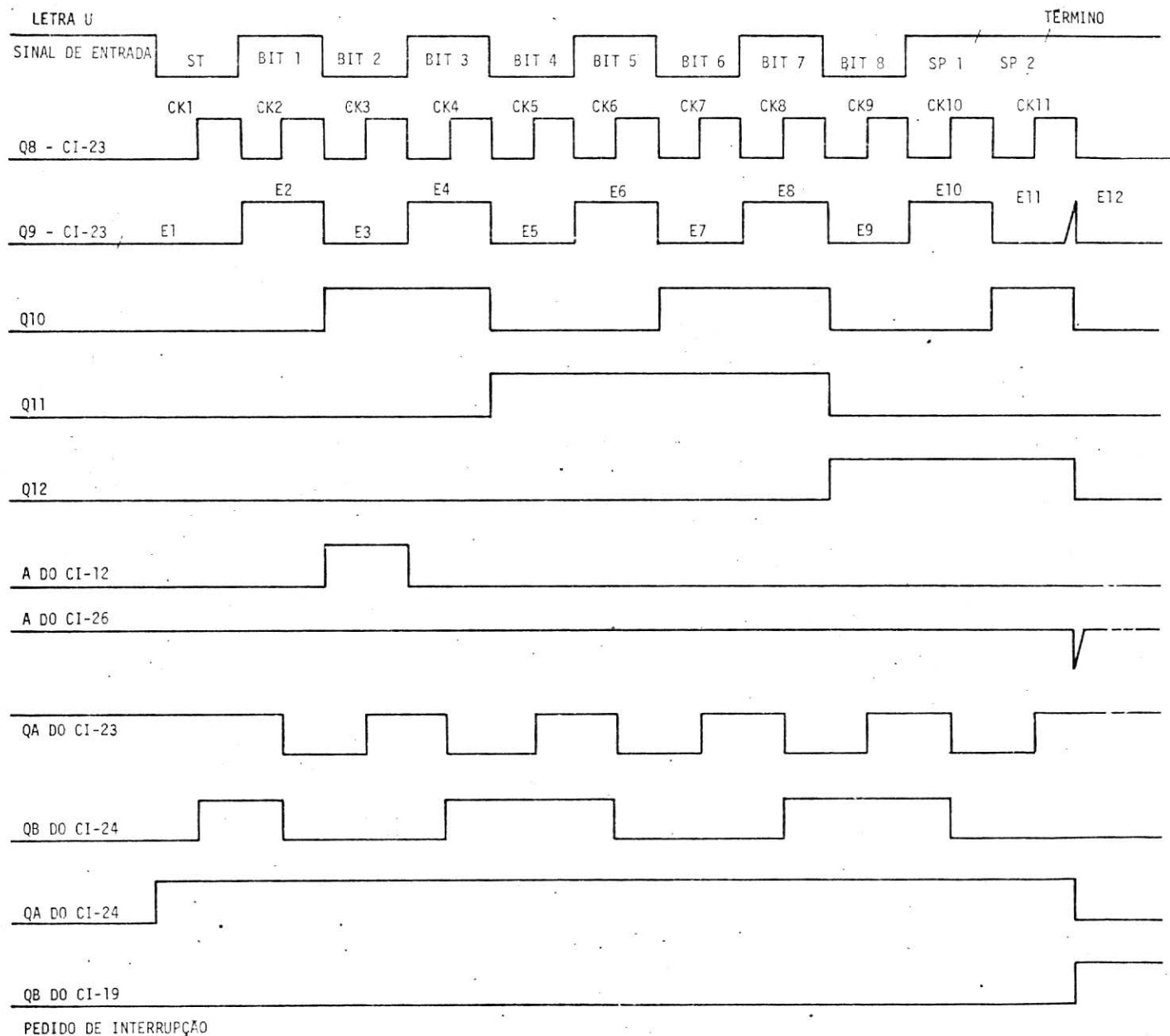


Fig. VI.1 - Forma de Onda do Receptor de Dados da Interface com o Tele tipo.

ser atrasado pelas portas C e D do CI-29, zera o biestável A que inibe o contador CI-38.

O biestável B ao ser disparado gera o sinal que, após invertido pela porta E do CI-33, solicita interrupção à UCP. Este biestável pode ser posicionado ou zerado pelos comandos CAR-3 e CAR-4 respectivamente.

O capacitor C2 e o resistor R3 são utilizados para posicionar o biestável B do CI-27 ao se ligar a alimentação. As formas de onda do circuito transmissor são apresentadas na Figura 2.

3) Circuito de controle

Este circuito decodifica os sinais provenientes da UCP e fornece os diversos comandos que controlam o receptor e o transmissor de dados.

Os 8 bits menos significativos do endereço são complementados por portas inversoras para possibilitar a escolha dos endereços das portas de saída e de entrada do receptor e transmissor. As portas A e B do CI-31 e A do CI-21 são utilizadas para decodificar um da do endereço de 7 bits. O endereço é escolhido selecionado o bit de endereço diretamente ou após complementado. Um sinal de entrada BL0Q permite bloquear o cartão quando o seu nível lógico for "0". A porta D do CI-33 inverte este sinal, e o resistor R8 garante o nível 1 quando não existir sinal na entrada.

A porta B do CI-35 fornece o comando LER-2, quando os 7 bits de endereço forem decodificados, Ao for igual a zero e $\overline{LM}$ igual o zero. A porta C do CI-35 fornece o comando LER-2, quando Ao for igual a 1.

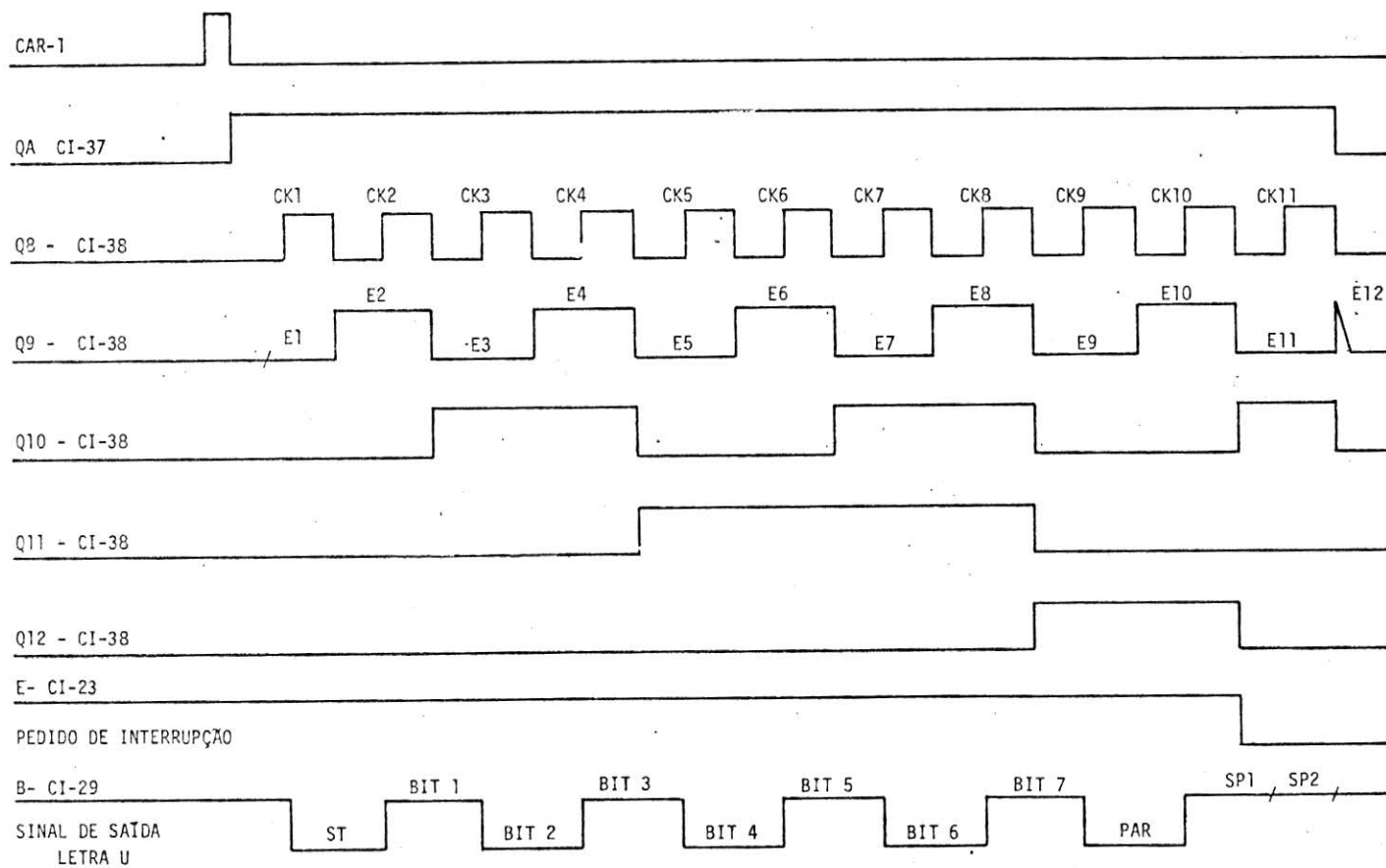


Fig. VI.2 - Formas de onda do circuito de transmissão de dados da interface com o Teletipo.

O comando de CAR-1 é decodificado pela porta A do CI-34, quando Ao for igual a "0", $\overline{DEC}$ igual a zero e os comandos $\overline{ESC}$ $\overline{ES}$ e $\overline{PULSO}$ $\overline{ESC}$ forem iguais a zero, enquanto CAR-2 é decodificado pela porta B do CI-34 e é ativo, quando Ao=1.

Os demais comando dependem dos 3 bits menos significativos da via de dados e do comando CAR-2, e são decodificados pelas portas A,B e C do CI-36, A do CI-35, A e C do CI-39, C e F do CI-33 e A do CI-29. A Tabela VI.1 indica a decodificação dos comandos.

TABELA VI.1

COMANDOS VERSUS ENTRADAS

COMANDOS	Entradas			
	CAR-2	D0	D1	D2
CAR-3	1	0	0	0
CAR-4	1	1	0	0
CAR-5	1	0	1	0
CAR-6	1	1	1	0
CAR-7	1	x	x	1

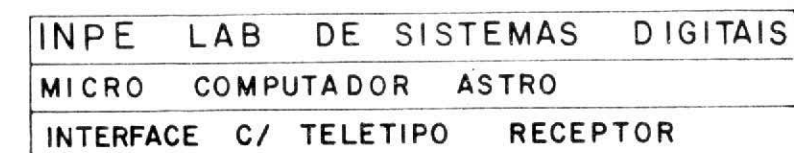
O comando CAR-7 pode ser utilizado para controlar um circuito externo como, por exemplo, carregar os bits da palavra de mascara do circuito de interrupção localizado na UCP.

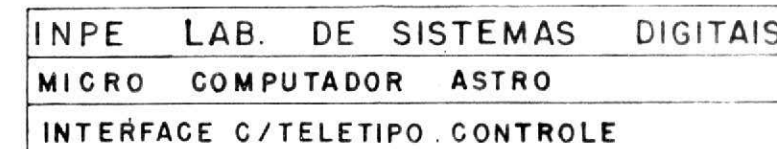
Os pulsos de relógio são gerados por dois osciladores:

O primeiro para transmissão ou recepção de 110 bauds é um oscilador de 28160 HZ formado pelo CI-11 e por R4 e C₃, C₄ que estabelecem a frequência de oscilação.

O segundo para transmissão e recepção de 1200 bauds é um oscilador de 307200 HZ formado por um CI EXTRA colocado a parte com um cristal de quartzo de 307200HZ e por R₉, C₅ e C₆.

A escolha de uma frequência ou outra é feita através de uma ligação externa.





CAPÍTULO VII

SISTEMA DE AQUISIÇÃO LENTA DE DADOS

O esquema AST-S1 A/D1 - A/B está associado ao sistema de aquisição lenta de dados.

Este cartão é formado de um circuito de decodificação de comandos e três sistemas independentes que são:

- Aquisição de dados analógicos de 16 canais de entrada.
- Contagens de pulsos para o circuito Analizador de Pulsos.
- Relógio para determinar o intervalo de tempo para transmissão de dados.

O circuito de decodificação é formado da porta NOU de 8 entradas, CI-34 e do inversor A do CI-33 que fornece o pulso PAD indicando que o endereço deste cartão foi enviado pela UCP. Este endereço é determinado escolhendo-se os bits de endereço (A9 a A15), invertidos ou não, como entrada da porta NOU (CI-34). A inversão dos bits de endereço é realizada pelas portas A,B,C,D,E e F do CI-32 e C do CI-31. O sinal PAD é enviado a 4 portas NOU de 4 entradas (A e B do CI-21 e A e B do CI-22) que, dependendo do bit A8 do endereço e do tipo da instrução (escrever porta de Saída, $\overline{EPS}$, ou ler porta de Entrada, $\overline{LPE}$), fornece 1 dos 4 comandos LER1, LER2, CAR1 e CAR0. O bit 8 do endereço é invertido pelas portas D e E do CI-31.

O comando LER1 (Bit8 = 0) é invertido pela porta B do CI-31 e é utilizado para ler os dados do conversor A/D.

O comando LER2 (Bit8 = 1) é invertido pela porta F do CI-31 e é utilizado para ler os dados do contador.

O comando CAR1 (Bit8 = 0) é utilizado para carregar o endereço do canal de entrada analógica.

O comando $\overline{CAR0}$ (bit8 = 1) é enviado para as portas, A, B e C do CI-23, que dependendo do conteúdo da via de dados, fornecem os comandos $\overline{CAR2}$, $\overline{CAR3}$ e $\overline{CAR4}$.

O comando $\overline{CAR2}$ (D5 = 1) é invertido pela porta D do CI-33 e é utilizado para zerar o biestável de solicitação de interrupção do circuito de relógio.

O comando $\overline{CAR3}$ (D6 = 1) é invertido pela porta C do CI-33 e utilizado para iniciar a conversão do A/D.

O comando $\overline{CAR4}$ é invertido pela porta E do CI-33 e utilizado para zerar o biestável de solicitação de interrupção do circuito contador de pulso. Estes comandos são bloqueados quando a entrada da porta B do CI-33 estiver no nível zero. Os resistores R2, R3, R4 e R5 são resistores elevadores de tensão.

O sistema de aquisição de dados analógicos é formado de circuitos adaptadores de sinais analógicos, um circuito de multiplexação de 16 canais para 1, um conversor A/D de 8 bits e um registro para armazenar o endereço do canal de entrada.

Os circuitos de adaptação de sinais analógicos dependem do sinal a ser convertido, podem ser utilizados ou não e são formados de dois circuitos básicos: com amplificador operacional ou com diodo zener. No circuito com amplificador operacional o sinal de entrada pode ser ampliado, reduzido, ter seu nível cc ajustado e ter a banda de frequência reduzida.

O potenciômetro P1 ajusta o ganho do circuito, P2 ajusta o nível cc e o capacitor C2 determina a faixa de passagem do circuito. No circuito de adaptação com diodo zener o nível de cc é elevado pelo valor do diodo zener, os resistores R11 e R12 determinam a razão de redução do sinal de entrada e o capacitor C3 limita a faixa de frequência do sinal de entrada.

O circuito de multiplexação é formado de 2 multiplexadores 8 bits para 1 (CI-13 e CI-14) ligados em paralelo. O endereço do canal é fornecido pelo registro de 4 bits (CI-27) que é carregado com o conteúdo da via de dados (D0 a D3) através do pulso CAR1. A porta A do CI-31 inverte o sinal da linha de endereço D4 de forma a selecionar o multiplexador CI-13 se D4 = 0 e o multiplexador CI-15 se D4 = 1. O amplificador operacional ligado à saída dos multiplexadores é utilizado para fornecer uma alta impedância de entrada para as saídas dos multiplexadores e uma baixa impedância de entrada para o conversor A/D.

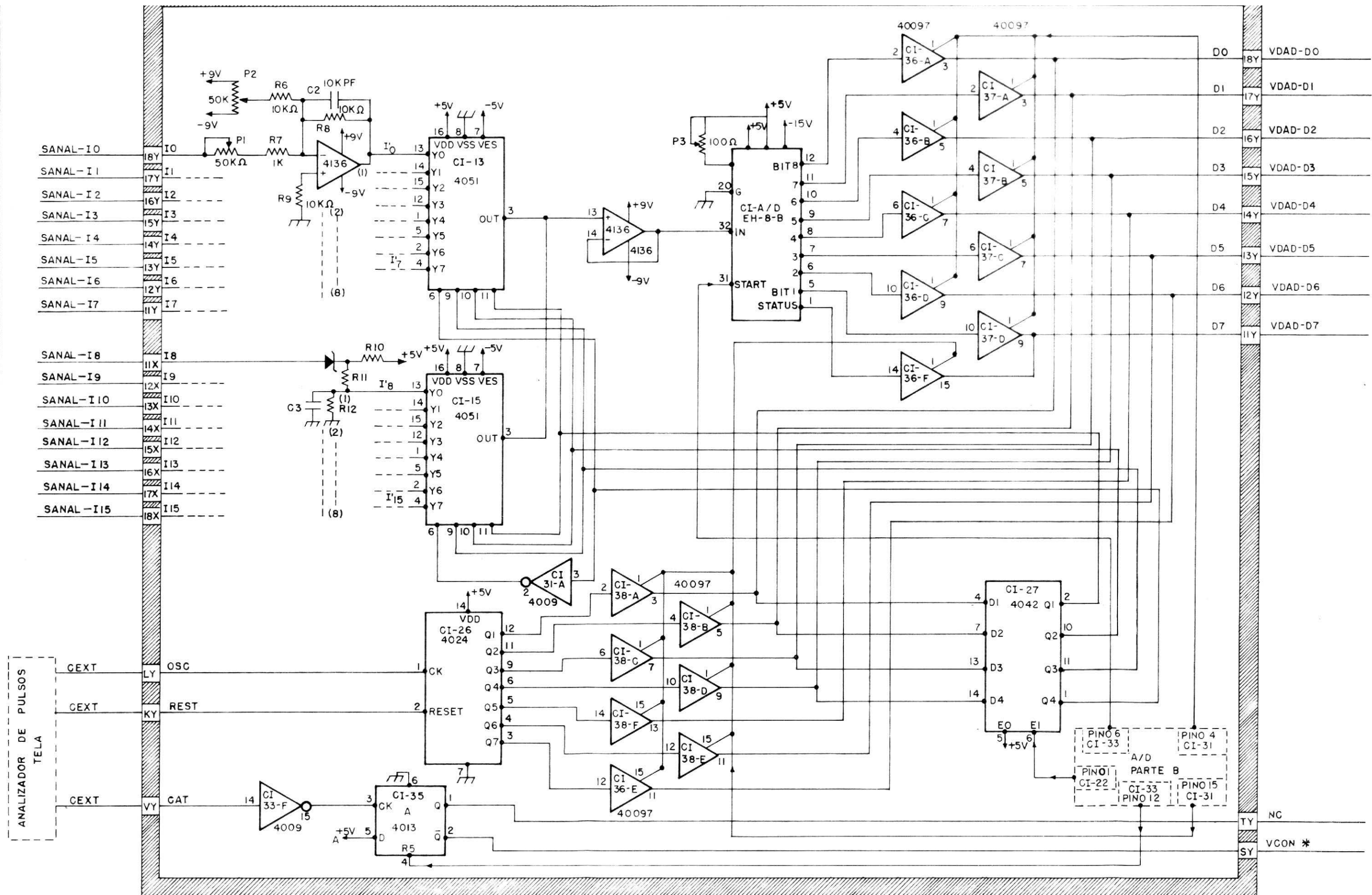
O conversor A/D é o modelo EH-8B1 da Datel, ajustado para funcionar de modo bipolar com tensão de entrada variando de -5V (00_{Hex}) a +5V (FF_{Hex}) através do potenciômetro P3. O tempo de conversão é de 4µs e o código de saída é o "Offset Binary". A conversão é iniciada através do comando CAR3. Os dados de saída do A/D são lidos através do comando LER1 que desinibe as portas de 3 estados A,B,C e D do CI-36 e A,B,C e D do CI-37.

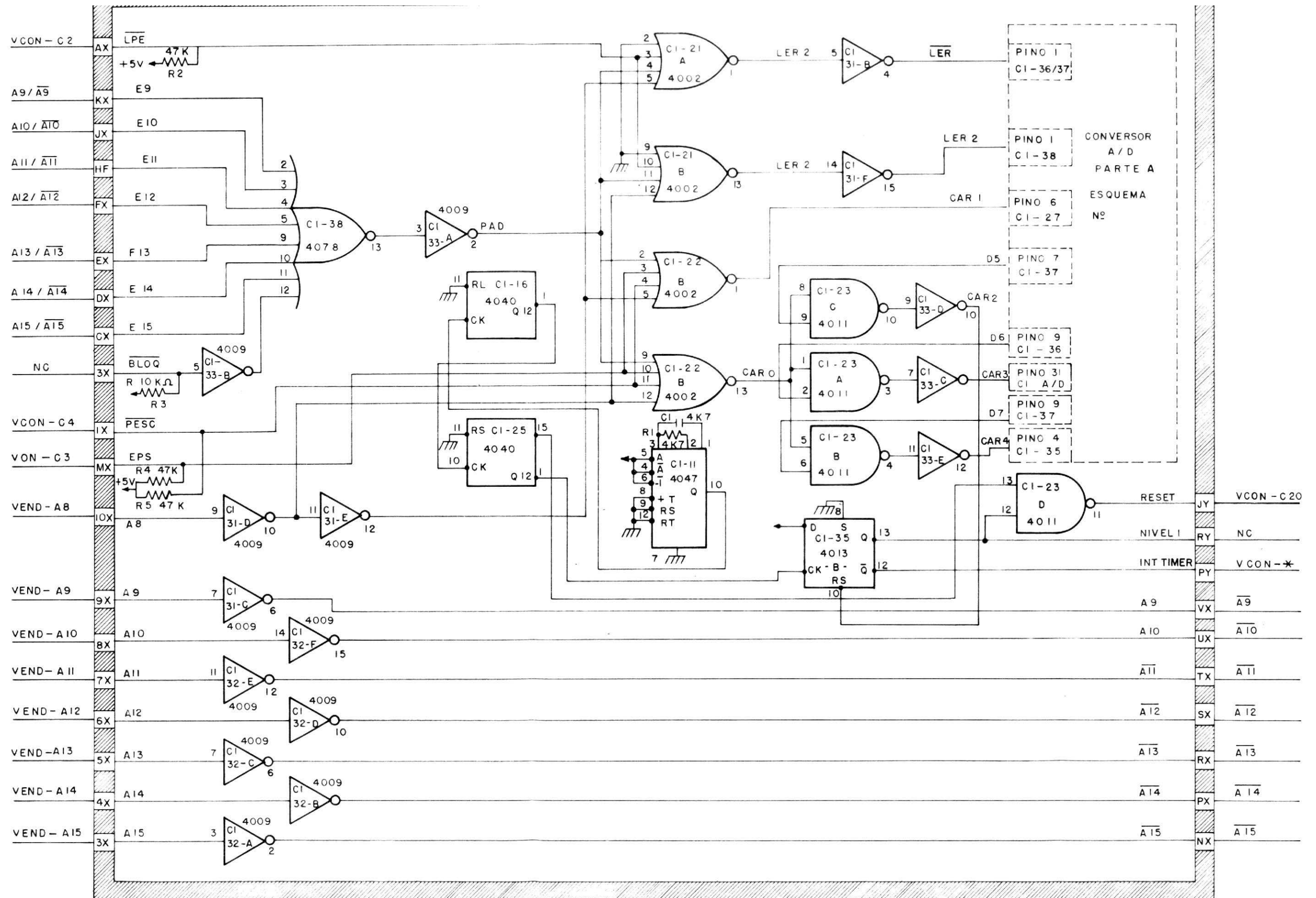
O estado do A/D é lido juntamente com os dados do contador através do comando LER2, que desinibe porta F do CI-36.

O sistema de contagens de pulso é utilizado juntamente com o circuito Analizador de Pulso (externo ao microcomputador) para converter a amplitude do pulso em dado digital.

O circuito Analizador de Pulso converte a amplitude do sinal em números de pulsos (de 1 a 127 pulsos) e durante a geração destes pulsos fornece o sinal CAT em nível "1". O número de pulsos é contado pelo contador binário de 7 bits (CI-26). Ao terminar de fornecer os pulsos de uma conversão o sinal CAT vai a "0" que após ser invertido pela porta F do CI-33 dispara o biestável A do CI-35 que solicita interrupção a UCP. Este biestável é zerado pelo pulso CAR4. Os dados do contador CI-26 são lidos pelo comando LER2 que desinibe as portas de 3 estados A,B,C,D,E e F do CI-38 e E do CI-31.

O circuito do relógio é formado do oscilador CI-11 cuja frequência de oscilação f_o , é definida pelo resistor R1 e o capacitor C1, dois divisores por 4.096 (CI-16 e CI-25) e o biestável B do CI-35 que é disparado em intervalos de tempo determinados $(4096)^2 \times 1/f_o$ segundos onde f_o é dado em Hz). Ao ser disparado o biestável solicita um pedido de interrupção a UCP. Este biestável é zerado pelo comando CAR2. Estando a saída da porta D do CI-23 ligada à UCP na linha de controle iniciar (C-20), a UCP será zerada após a metade do intervalo de tempo, se o biestável CI-35-B não for zerado pelo pulso CAR2. Esta ligação de verá ser realizada quando o microcomputador estiver executando um programa de aplicação predeterminado, o que possibilita à UCP recuperar o programa de controle, caso este programa seja desviado por um agente externo como ruído, sobre aquecimento ou congelamento, etc.





CAPÍTULO VIII

SISTEMA DE AQUISIÇÃO RÁPIDA DE DADOS

ESQUEMA - AST-S1 - A/D II A/B

Este cartão é formado de um circuito de decodificação de comandos e tres sistemas que são:

- Aquisição de dados provenientes da fotomultiplicadora
- Contagem do número de perdas do circuito
- Relógio para determinar o intervalo de tempo entre as transmissões de dados para terra.

O circuito de decodificação é formado pela porta NE de 8 entradas CI-32.

O endereço para essa decodificação é fornecido pela UPC. Estes endereços são determinados escolhendo-se os bits de endereço (A_2 a A_7) invertidos ou não.

A inversão dos Bits de endereço é feita pelas portas A, B,C,D do CI-33.

O sinal de saída do CI-32 é enviado a quatro portas NOU (A,B CI-36; A,B CI-35) que, dependendo dos Bits A_0 e A_1 de endereço e do tipo de instrução (LER porta entrada $\overline{LPE}$, escrever porta de saída $\overline{EPS}$, pulso de escrever $\overline{PESC}$), fornece 1 dos 4 comandos, LER1, LER2, CAR1 e CAR2. O Bit A_0 é invertido pelas portas B CI-31 e E CI-31 e o bit A_1 é invertido pelas portas A CI-31 e F CI-31.

O comando LER1 (Bit $A_0 = 1$) é invertido pela porta C CI-31 e enviado para comandar as portas de 3 estados A,B,C,D CI-38 e A,B, C,D CI-37 que lêem os dados do conversor A/D.

O comando LER2 (Bit Ao = 0) é invertido pela porta D CI-31 que é utilizado para ler os dados do contador de perdas.

O comando CAR1 (Bit Ao = 1) é invertido pela porta A CI-23 que é utilizado para zerar o biestável de interrupção.

O comando CAR2 (Bit Ao = 0) é enviado às portas C,D CI-34 que, dependendo do estado do endereço de A, fornecem os comandos CAR3 e CAR4.

O comando CAR3 (saída porta C CI-34) é invertido pela porta A CI-34 e zera os contadores de perdas CI-26 e CI-27.

O comando CAR4 (saída porta D CI-34) é invertido pela porta B CI-34 e zera o biestável B CI-19 que solicita interrupções pelo circuito do RELÓGIO.

8.1 - SISTEMA DE AQUISIÇÃO

O sistema de Aquisição é formado por circuitos adaptadores, portas analógicas, detetor de pico e conversor A/D. O sinal de entrada passa pela porta analógica A CI-11 que é controlada, depois ele é atenuado ou amplificado conforme a necessidade, pelo circuito adaptador formado pelo operacional 3140A.

A saída deste circuito é acoplada à entrada do detetor de pico.

O detetor de pico retém a amplitude máxima dos picos provenientes da entrada por um tempo suficiente para que haja conversão dos dados.

Quando termina a conversão a porta analógica B CI-11 é acionada, descarregando o capacitor. A saída do detetor de pico é ligada à entrada de um circuito adaptador que tem uma alta impedância de

entrada para o detector de pico e uma baixa impedância de saída para o conversor A/D.

O circuito adaptador tem ganho unitário e é formado pelo operacional 3140 B.

O conversor A/D é modelo EH-8B1 da DATEL e é ajustado para funcionar de modo unipolar de 0 a 10V. O tempo de conversão é de 4 μ s. A conversão é iniciada na chegada do pulso de controle. Os dados de saída do A/D são lidos através do comando LER1 pelas portas A,B,C,D CI-37 e A,B,C,D CI-38.

8.2 - CIRCUITO DE CONTROLE

No instante que chega um pulso de controle, ele é invertido pela porta B CI-23, este pulso dispara na transição positiva o biestável B CI-12; a saída deste biestável seta os bistáveis A CI-12 e, A, B CI-22. No momento que o biestável A CI-12 é setado a sua saída Q vai para o nível lógico "1", abrindo a porta analógica A CI-11; esta mesma saída Q, depois de passar pela porta A CI-25, vai para o pino 3 do CI-24 indicando o início da conversão.

Como o biestável A CI-22 também foi setado a sua saída $\bar{Q}$ vai para o nível "0" e é solicitada uma interrupção à UPC; esta mesma saída libera, através da porta D CI-25, biestável A CI-26 para a contagem de perdas. A saída deste biestável sofre um pequeno atraso pelas portas D e E CI-21 e zera o biestável B CI-12.

O biestável B CI-12 recebe o pulso de controle invertido pela porta A CI-21. O final do pulso leva o biestável à transição positiva e sua saída, que estava em "1", vai para "0", fechando a porta analógica A CI-11.

Quando o conversor A/D termina a conversão ele fornece um pulso que é invertido pela porta C CI-23, que leva a "0" a saída do

biestável B CI-22, fechando a porta analógica B CI-11 e descarregando o capacitor do detector de pico.

8.3 - CONTADOR DE PERDAS

O circuito contador de perdas é formado pelas portas F CI-33, C CI-36, biestável B CI-26 e o contador CI-27. O pulso de perda, após passar pela porta F CI-33, faz um "NOU" na porta C CI-36. Com a saída $\bar{Q}$ do biestável A CI-36 e com o comando LER2, a saída da porta é ligada à entrada de um circuito contador de 8 bits formado pelos CI-26 e CI-27, que fornece a contagem ao barramento de dado através das portas A,B,C,D,E,F CI-39 e E,F CI-38.

No instante da leitura da contagem, o comando LER2 inicia a porta NOU.

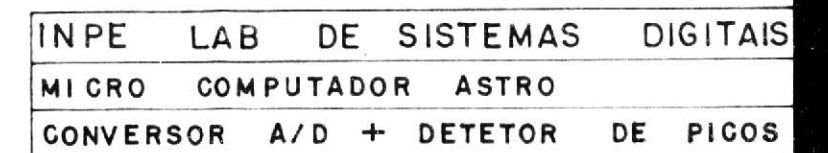
8.4 - "CIRCUITO DO RELÓGIO"

O circuito do relógio é um circuito que solicita interrupções em intervalos de tempos determinados, para a transmissão dos dados para terra.

O oscilador para este circuito é aproveitado do relógio da UPC ($\emptyset_2$ TTL, 2MHz).

O circuito é formado pelo biestável A,B CI-19, decadas CI-18, CI-17, CI-16, CI-15, CI-14 e CI-13 e pela porta E CI-13.

O circuito forma um divisor de frequência de $2 \cdot 10^6$, fornecendo pulsos a cada minuto.



CAPÍTULO IX

FONTES

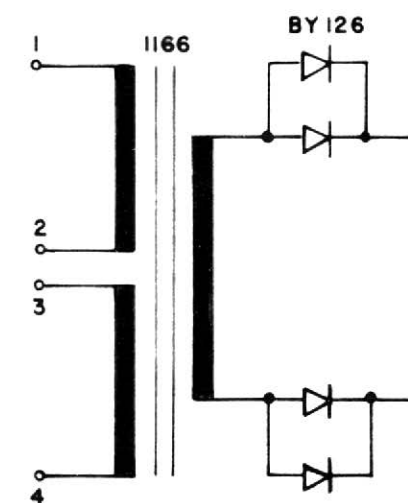
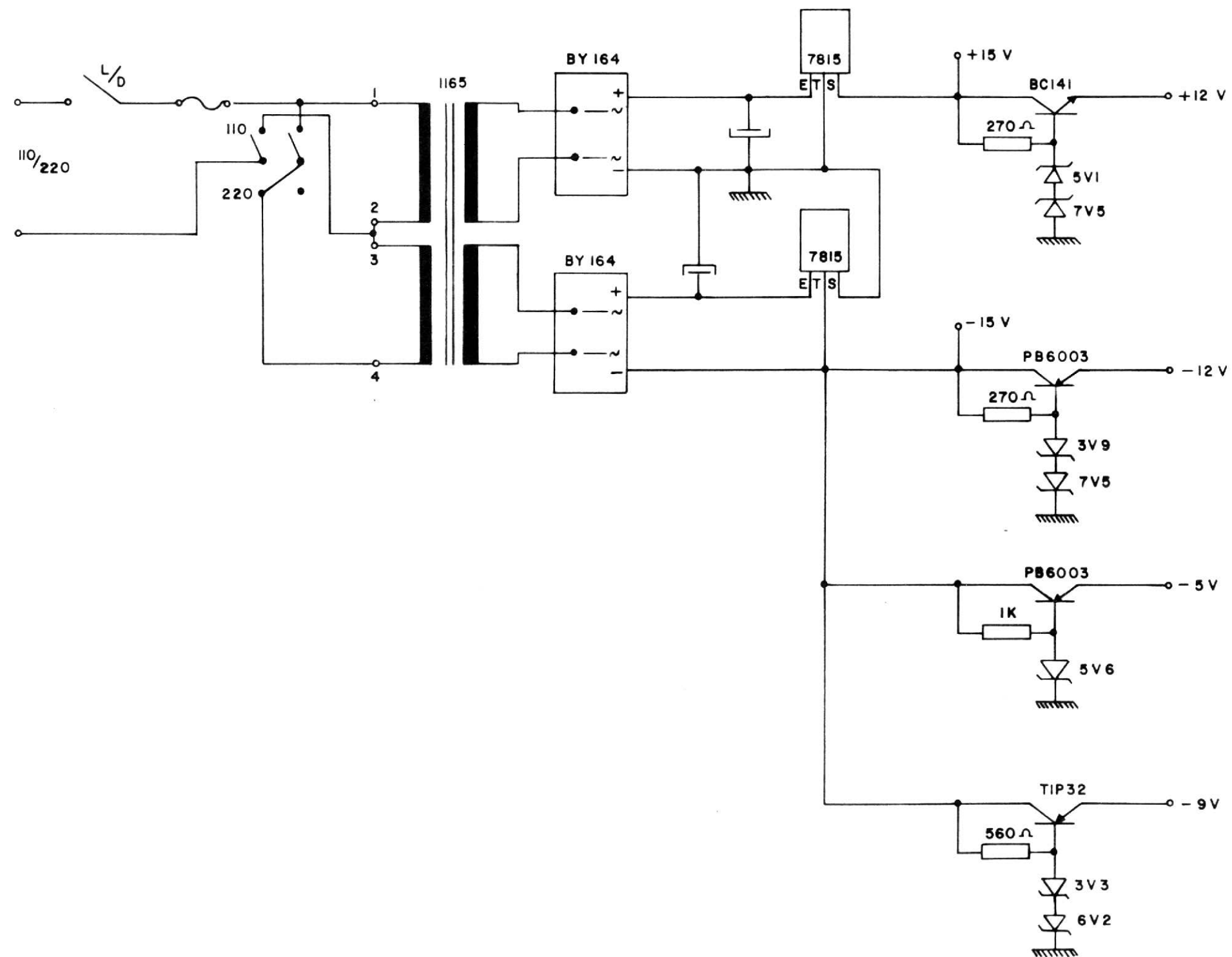
O Sistema do microcomputador requer sete tensões de alimentação diferentes, são elas +5, +15, -15, +12, -12, -9, -5 volts.

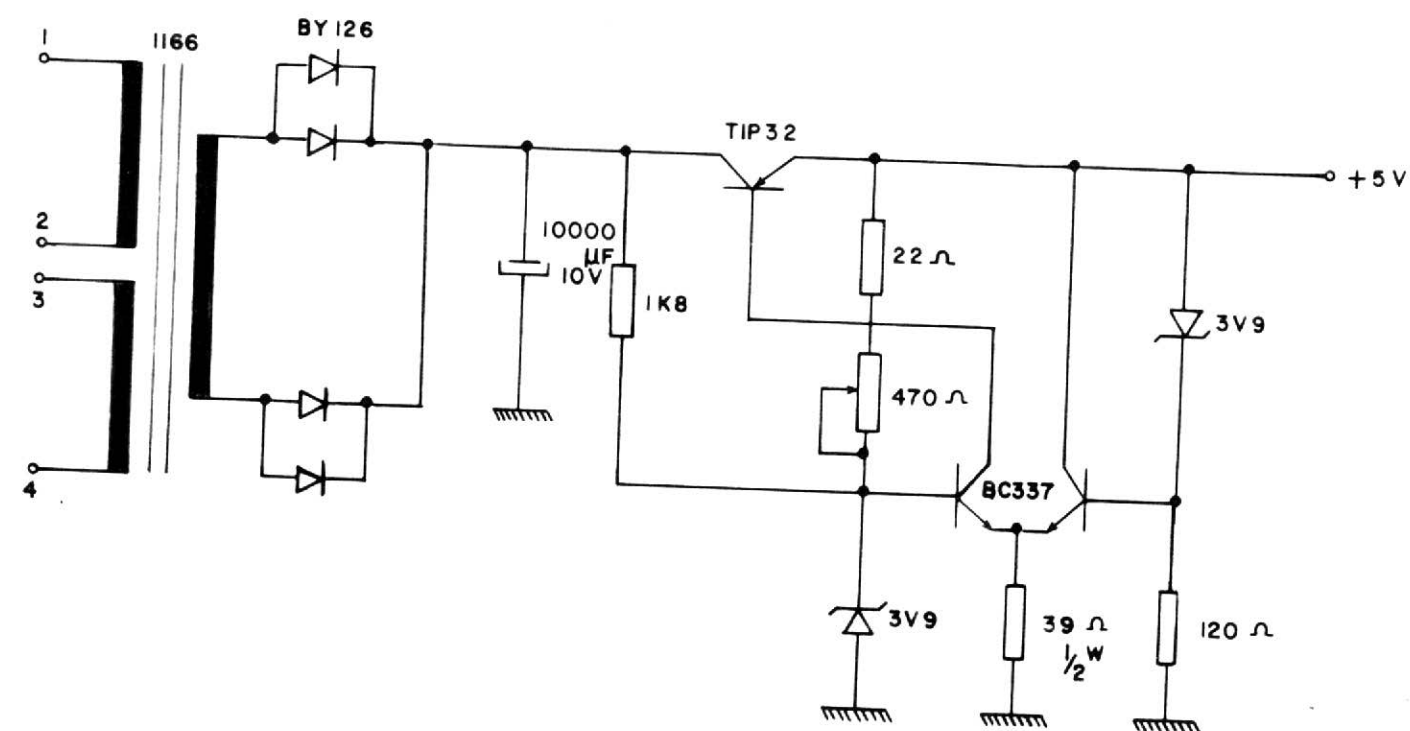
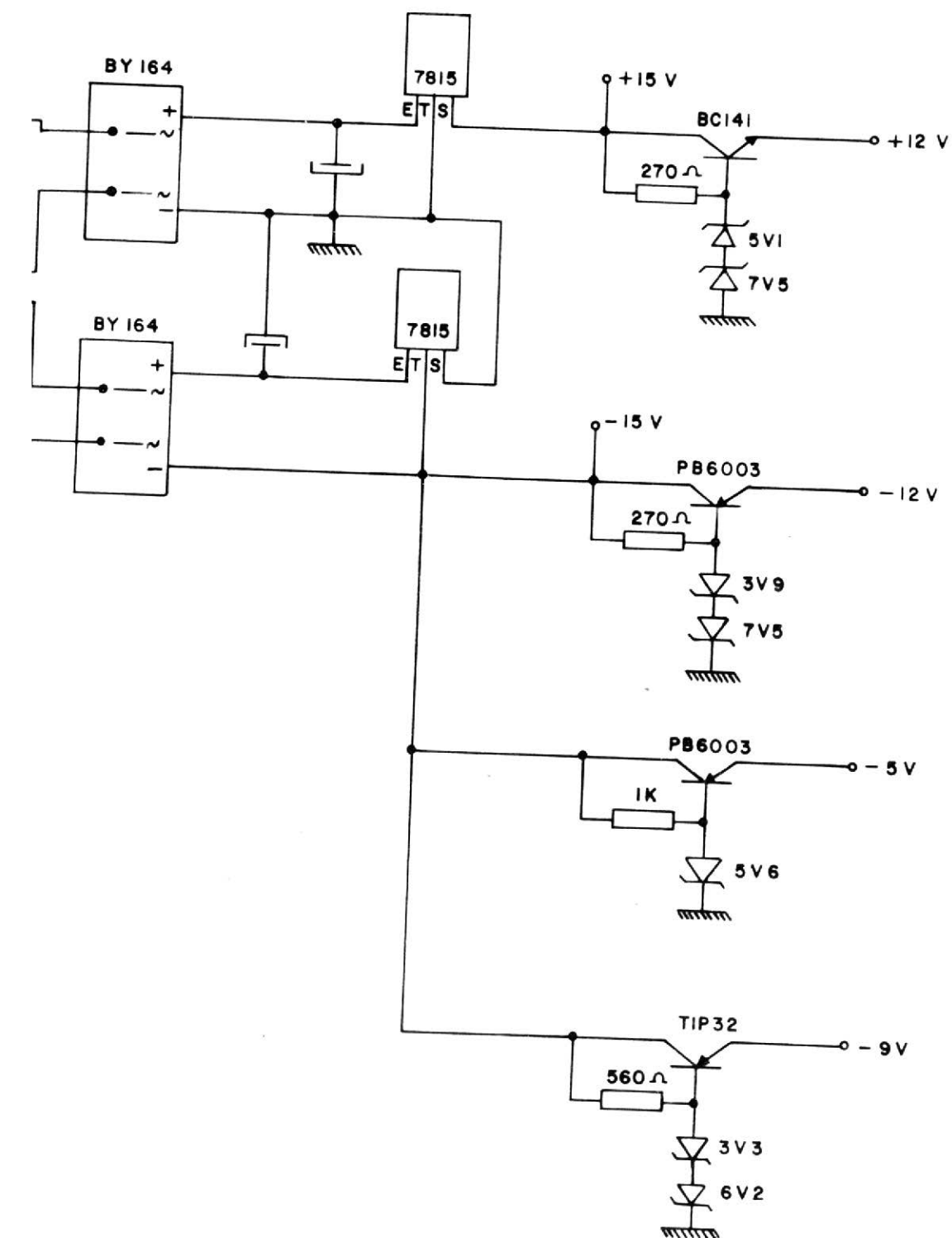
A fonte de +5V é a que exige maior corrente e por isso foram construídas duas fontes de 2 amperes cada uma. Esta fonte, devido a sua grande potência, foi construída com componentes discretos de alta potência. As fontes de $\pm 15V$ não necessitam ser de grande potência pois delas é exigido pouca corrente, por isso elas são construídas com reguladores 7815 que fornecem 15V/1A.

As outras fontes também são de pequenas correntes e por isso são todas obtidas a partir das fontes de $\pm 15V$.

A fonte de +12V é obtida da fonte de +15V através do circuito mostrado, com transistor e zeners.

As fontes de -12, -9, -5V são obtidas a partir da fonte de -15V com transistores e zeners, como é mostrado no circuito.





PAINEL CONTROLE

PAINEL INDICATO

INTERF. INEL

RAM

CPU

EPROM

RAM

INTERF. TTY

INTERF. TVA

AQUISICAO LE

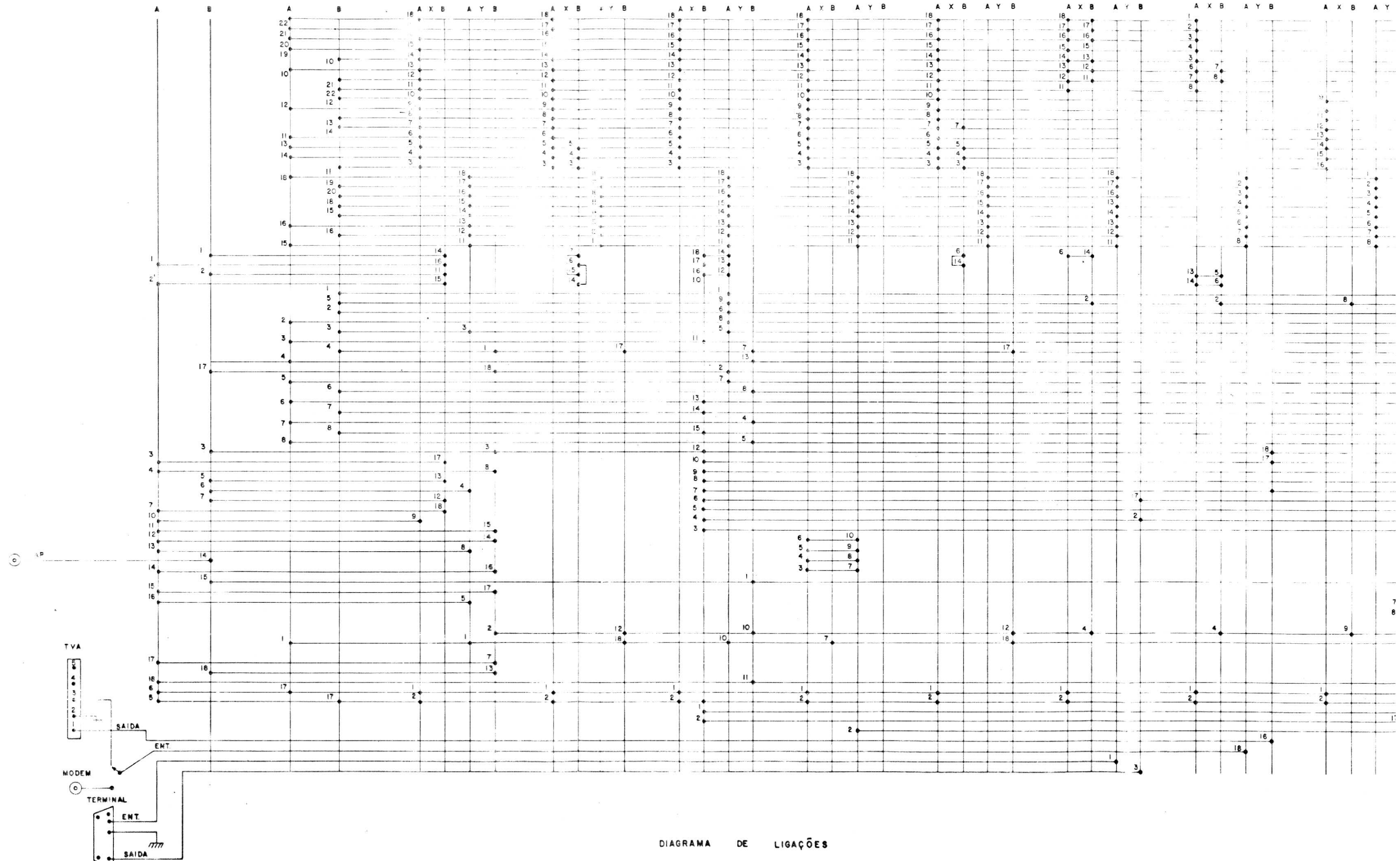


DIAGRAMA DE LIGAÇÕES

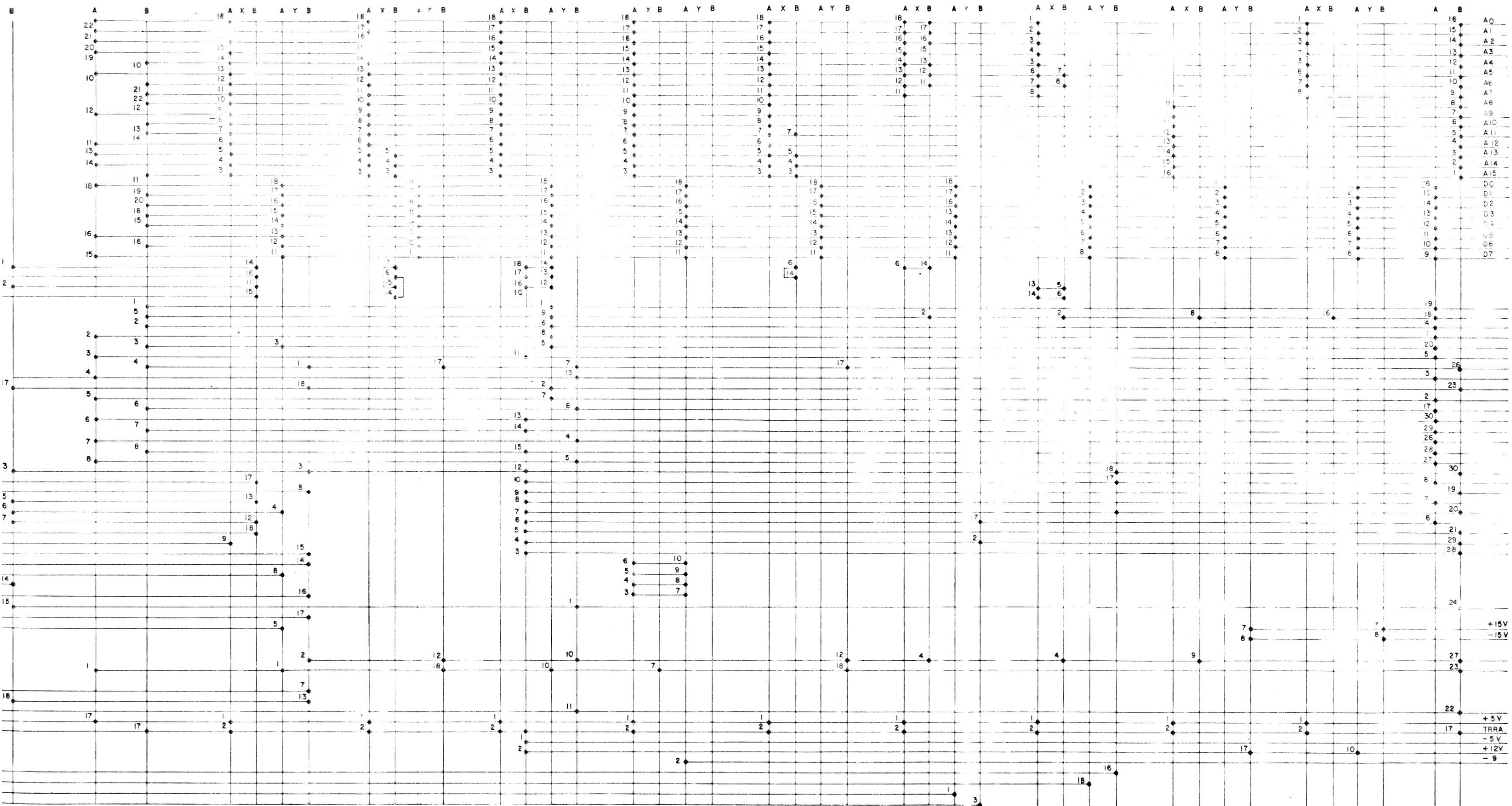


DIAGRAMA DE LIGAÇÕES