UMA ARQUITETURA COM PROCESSAMENTO PARALELO PARA COMPUTAÇÃO INCREMENTAL

João Benedito Diehl
Eduardo Whitaker Bergamini

Departamento de Engenharia de Computação - DCA
Diretoria de Engenharia e Tecnologia Espacial - ETE
Instituto de Pesquisas Espaciais - INPE
Avenida dos Astronautas, 1758 - Jardim da Granja
12201 - São José dos Campos - São Paulo

RESUMO

Descrição de uma arquitetura multiprocessadora e de sua organização funcional básica que realiza um Computador Incremental, dotado de recursos de processamento paralelo, para aplicação na solução numérica de sistemas de equações. São também apresentados resultados obtidos com a implementação da referida arquitetura na construção de um protótipo de Computador Incremental.

ABSTRACT

Description of a multiprocessing architecture and of its basic functional organization that implements an Incremental Computer, with parallel processing resources, for application in the numerical solution of systems of equations. Results obtained with the implementation of the aforementioned architecture, in the development of a prototype of Incremental Computer, are also presented.

1 - INTRODUÇÃO

A busca de maior velocidade de processamento dos computadores digitais tem se caracterizado por utilização de componentes mais rápidos e desenvolvimento de arquiteturas com múltiplos processadores, graças ao advento do microprocessador e de seus componentes periféricos.

Em uma arquitetura convencional, com monoprocessamento, obtem-se maior velocidade de execução de instruções diminuindo-se o ciclo de máquina. A tecnologia que permite a utilização de componentes mais rápidos tem dois inconvenientes: alto custo, devido à sofisticação dos circuitos eletrônicos e a natural limitação da velocidade máxima que se pode obter no processamento.

Em arquiteturas com múltiplos processadores, pode-se, em princípio, aumentar o poder de processamento, aumentando-se o número de processadores utilizados no sistema que partilham a execução de tarefas semelhantes associadas à partição de uma tarefa maior. Ou seja, utiliza-se uma arquitetura com o recurso de processamento paralelo. Uma grande dificuldade associada a máquinas deste tipo, no entanto, está associada à necessidade de implementação de programas("software") que possam fazer uso equitativo de todo o potencial de processamento nelas disponível.

Por outro lado, existe também a dificuldade de se desenvolver programas para máquinas com recursos de processamento paralelo que possam apresentar bom desempenho, para uso geral. Uma alternativa, para se contornar esta limitação, consiste em se conceber arquiteturas com processamento paralelo que permitam a implementação de software relativamente simples e eficiente, porém, voltado para a solução de uma determinada classe de problemas.

Neste trabalho é descrita uma arquitetura com processamento paralelo concebida especialmente para solução numérica de equações, para utilização da técnica de Computação Incremental. Em seguida, são feitas considerações sobre a aplicação deste tipo de Computador Incremental na solução de uma classe de problemas, no caso, representáveis por sistemas de equações diferenciais ordinárias. Então, são feitas considerações sobre o emprego deste tipo de Computador Incremental em aplicações de caráter mais geral. Na parte seguinte é feita a apresentação da arquitetura que foi efetivamente implementada na construção de um protótipo de Computador Incremental, denominado ASTRO L-V2, desenvolvido no Laboratório de Engenharia de Computação Aplicada (LAP) do Departamento de Engenharia de Computação (DCA) do Instituto de Pesquisas Espaciais (INPE).

2 - ARQUITETURA DO COMPUTADOR INCREMENTAL

2.1 - ARQUITETURA BÁSICA

A arquitetura básica empregada na execução de processamento paralelo que caracteriza o Computador Incremental, apresentado neste trabalho, pode ser classificada como sendo do tipo MIMD ("Multiple Instruction Multiple Data"), de acordo com a classificação dada por [BOWEN, 80]. A concepção básica desta arquitetura é simples e está representada na Fig. 2.1.

Esta arquitetura foi implementada em um Computador Incremental, protótipo, denominado ASTRO L-V2, contendo um número reduzido de processadores (tres), denominados Analisadores Digitais (ADs), para cálculo paralelo, além do processador utilizado como Controlador (CT) do sistema. Esta configuração, embora modesta, é suficientemente geral para avaliação da arquitetura adotada. As unidades de processamento são conectadas por um barramento único, denominado MBUS.

CT: CONTROLADOR

AD: ANALISADOR DIGITAL

Fig. 2.1 - Arquitetura Básica do Computador Incremental

Podem ser distinguidos dois tipos de unidades processadoras neste Computador:

CONTROLADOR (CT): Realiza o gerenciamento das unidades processadoras (ADs) e a comunicação de dados com as unidades de E/S, externas, conectadas ao Computador Incremental;

ANALISADOR DIGITAL (AD): Realiza os cálculos sob controle do CT. As sequências de instruções de cálculo executadas pelo AD são previamente carregadas pelo CT em cada um dos ADs do Computador Incremental. Como o AD, em geral, pode executar cálculos que podem ir muito além de uma simples integração, ele caracteriza uma unidade funcional mais complexa do que aquela típica de um Analisador Digital Diferencial ("Digital Differential Analyzer-DDA") no sentido definido por [SYZER, 68] e [MAYOROV, 64].

A utilização de um barramento único do tipo MBUS torna simples a arquitetura para o acréscimo de novos ADs na máquina, pois o preço de uma configuração cresce linearmente com o número de ADs. Por outro lado, o barramento único pode, naturalmente, se tornar um gargalo na comunicação de dados entre as unidades de processamento paralelo. Tipicamente, em um Computador Incremental, a comunicação de dados entre os seus Analisadores Digitais Diferenciais (ADD's, no sentido de [SYZER, 68] e [MAYOROV, 64]), se faz por intermédio de barramentos que transportam apenas os "incrementos" das variáveis de estado e de E/S, envolvidas nos cálculos executados. Tal recurso de comunicação permite, em princípio, a economia de recursos físicos e de tempo, uma vez que, ao se transmitir incrementos de dados somente, o volume de informação a ser transportado e os formatos de dados associados podem diminuir consideravelmente.

Após esta breve introdução da arquitetura do Computador Incremental pode ser, então, enunciado o princípio básico do seu funcionamento na solução de problemas. Do ponto de vista do Analisador Digital, a lógica de processamento obedece a duas FASES. Uma é a FASE FUNCIONAL. Nesta fase são executadas todas as funções de cálculo, previamente programadas armazenadas no Analisador Digital. Tais funções de cálculo podem compreender não somente aquelas associadas a sistemas contínuos (ex.: integrações, funções intrínsecas, etc.) mas, também, cálculos associados às eventuais propriedades discretas de tais sistemas (ex.: execução de funções decisórias, lógicas, etc.). A segunda é a FASE DE COMUNICAÇÃO, que é executada pelo Analisador Digital e pelo Controlador. Ela é caracterizada pela necessidade de comunicação de dados do Analisador Digital (AD) ou do Controlador (CT), com as demais unidades de processamento. Esta fase de comunicação de dados se dá através do MBUS, permitindo a transferência de dados (incrementos, variáveis, etc.) entre a unidade de processamento específica e as demais do sistema de computação. Portanto, após a INICIALIZAÇÃO, cada uma das unidades de processamento do Computador Incremental, CT e ADs, passam a executar, de forma periódica e alternada, a Fase Funcional e a Fase de Comunicação. A exe

cução de uma Fase Funcional e de uma Fase de Comunicação pelos Analisadores Digitais caracteriza uma FASE DE EXECUÇÃO.

Veremos, a seguir, em certo detalhe, como a fase de comunicação de dados é executada pelo Computador Incremental, de forma a minimizar o custo de comunicação entre as diversas unidades de processamento, na realização de cálculos.

2.2 - COMUNICAÇÃO DE DADOS ENTRE AS UNIDADES

Os problemas a serem resolvidos pelo Computador Incremental têm exigências peculiares de comunicação:

- **Altas Taxas:** a cada nova fase funcional, cada Analisador Digital a ser ativado deve receber com altas taxas de comunicação de dados os resultados obtidos por todos os demais Analisadores Digitais que executaram processamento paralelo na fase funcional anterior.

- **Sincronismo:** os Analisadores Digitais só podem começar uma fase funcional do problema, depois de terem recebido os resultados de todas as outras unidades de processamento paralelo (ADs) que executaram função de cálculo na fase anterior.

Para que não haja degradação no desempenho da máquina, é essencial que o protocolo de comunicação de dados seja o mais simples possível, para garantir o maior fluxo líquido de dados entre as unidades de processamento envolvidas.

A arquitetura utilizada no processo de comunicação de dados do Computador Incremental é ilustrada na Fig. 2.2. [MISSAWA, 84].

Fig. 2.2 - Arquitetura para Comunicação de Dados.

A comunicação entre os Analisadores Digitais (ADs) e entre estes e o Controlador (CT), é feita através de uma memória especial, chamada Memória de Comunicação (MC). A Memória de Comunicação é dividida em duas páginas mapeadas com o mesmo campo de endereçamento, denominadas MC0 e MC1.

Num determinado instante, uma das páginas está sob controle da CPU da unidade de processamento e a outra página está sob controle do barramento MBUS. Essa característica da Memória de Comunicação permite a ocorrência simultânea de cálculo e de comunicação em um mesmo Analisador Digital. Tal simultaneidade é garantida graças ao recurso de processamento do tipo Acesso Direto a Memória (ADM), localizado no CT, que controla o sequenciamento de comunicação de dados do MBUS, uma vez inicializado pelo processador do próprio CT. O MBUS é dotado de um ÁRBITRO que associado ao seu mecanismo de ADM permite o atendimento de todas as unidades de processamento, CT e ADs, obedecendo a um esquema de prioridade pré-estabelecido.

Devido às características do problema, o resultado da Fase Funcional de uma unidade de processamento deve ser enviado a todas as outras unidades que participam da sua solução. A comunicação de dados é feita por DIFUSÃO ("broadcast"), na Fase de Comunicação, quando um Analisador Digital transmite seus dados a todos os demais Analisadores Digitais, incluindo o Controlador. O CT, para fins

de comunicação de dados, concorre no uso do MBUS da mesma forma que todos os seus ADs.

A Memória de Comunicação dos Analisadores Digitais e do Controlador é dividida em caixas postais, uma para cada unidade no sistema. Dessa forma, o protocolo de comunicação é simplificado, pois os resultados de uma determinada unidade podem ser sempre enviados para os mesmos endereços destinatários específicos, localizados nas Memórias de Comunicação das demais unidades de processamento (CT + ADs).

A transmissão de dados, na Fase de Comunicação, é feita por ADM sob controle do Controlador (CT), de forma transparente às unidades Analisadores Digitais (ADs). Para transmitir os resultados obtidos em sua Fase Funcional, um AD disputa a utilização do barramento MBUS, interrogando o seu árbitro. Quando o AD solicitante é habilitado, a transmissão de dados, pelo MBUS, por difusão é feita de forma automática pelo Controlador, através do disparo de sua unidade ADM.

A utilização desse esquema de comunicação de dados entre os ADs faz com que o tempo gasto na Fase de Comunicação possa ser minimizado em relação ao tempo gasto na Fase Funcional, já que a velocidade de comunicação depende, essencialmente, da velocidade do dispositivo de ADM associado ao MBUS.

3 - SOLUÇÃO DE UMA CLASSE DE PROBLEMAS

Tendo sido já apresentado o princípio de operação do Computador Incremental de acordo com uma arquitetura específica, são agora feitas considerações, a título de ilustração, de como uma classe de sistemas de equações pode ser analisada para solução de problemas com este tipo de máquina, dotada de recurso de processamento paralelo.

Neste caso, considera-se um sistema de equações diferenciais ordinárias do tipo:

$$\begin{cases} \dot{Y}_1 = F_1(X, Y_1, Y_2, \ldots, Y_N) \\ \dot{Y}_2 = F_2(X, Y_1, Y_2, \ldots, Y_N) \\ \vdots \\ \dot{Y}_N = F_N(X, Y_1, Y_2, \ldots, Y_N) \end{cases}$$

tal que a solução possa ser calculada nos pontos:

$X_{n+1} = X_o + n\,\Delta X,$

onde ΔX é o incremento da variável independente X e n um inteiro.

Os métodos utilizados para a solução do problema descrito calculam a solução y_j^{n+1} no ponto X_{n+1} que aproxima a solução real $Y_j\ (X_{n+1})$:

$$y_j^{n+1} = y_j^n + \Delta y_j^n$$

onde:

y_j^n é a solução obtida no ponto X_n

Δy_j^n é o incremento da variável dependente.

lembrando que:

$$\Delta y_j^n = y_j^{n+1} - y_j^n$$

Num sistema multiprocessador com N processadores, dispostos em uma arquitetura paralela, podemos distribuir o cálculo de cada uma das N equações do sistema para cada um desses N processadores. Desta forma, cada processador, em sua Fase Funcional, pode realizar o cálculo de cada equação em paralelo, desde que seja garantido, a cada um desses processadores, os resultados pertinentes, obtidos pelos demais processadores do conjunto, no ponto anterior de cálculo, isto é, em X_n.

Portanto, de acordo com a arquitetura do Computador Incremental apresentada na Fig. 2.1, a cada Analisador Digital (AD) poderia ser alocado o cálculo de uma das equações do sistema. Por exemplo, ao AD j poderia ser alocado o cálculo de y_j^n pelo emprego de algum método de integração, tal que, o valor de y_j^{n+1} possa ser, então, calculado a partir do valor anterior, y_j^n.

Da mesma forma, ter-se-ia, no final da fase funcional em X_{n+1}, disponíveis em cada um dos demais ADs os respectivos valores de y^{n+1}, correspondentes a cada uma das demais equações do sistema. Então, cada um dos valores y_i^{n+1}, calculados pelo respectivo AD i, teriam de ser transmitidos, por difusão("broadcast"), aos demais ADs envolvidos no cáculo do Sistema de Equações, através de um ciclo de comunicação de dados, realizado pelo uso do barramento do Computador Incremental. Como resultado, neste caso, devem ocorrer tantos ciclos de comunicação quantos forem os ADs comprometidos no cálculo do sistema de equações.

Vale dizer que, em geral, são os incrementos do tipo Δy_i^n, para i=1, 2, ..., N que devem ser transmitidos pelo barramento de um Computador Incremental. Naturalmente, se este princípio é observado, ele permite que o volume de informação a ser transmitido pelo barramento possa ser minimizado, uma vez que as unidades de informação são caracterizadas por incrementos. Por outro lado, cada Analisador Digital, ou o próprio Controlador, que recebe um incremento do tipo Δy_i^n, caso necessite obter o valor y_i^{n+1} para seus cálculos internos, ou para saída de dados, necessitará executar a operação $y_i^n + \Delta y_i^n$, em sua próxima Fase Funcional. Se, no entanto, transmitir y_i^{n+1} ou Δy_i^{n+1} pelo barramento de dados representa praticamente uma utilização idêntica do mesmo, pode-se optar pela transmissão de valores do tipo y_i^{n+1}, calculando-os no processador que deu origem ao incremento Δy_i^n, uma única vez, o que pode representar uma economia considerável de cálculo, sem que se onere o tempo de transmissão de dados pelo barramento. A título de exemplo, este pode ser o caso quando se dispõe de um barramento de transmissão de dados de 16 bits, tendo tanto os valores do tipo y_i^{n+1} como aqueles que representam os incrementos do tipo Δy_i^n caracterizados por palavras de ponto fixo em 16 bits.

<u>Exemplo</u>: Um método simples para se obter a solução aproximada do sistema de equações diferenciais introduzidas anteriormente, seria com a utilização do método de integração de Euler. Ou seja, dada a equação $\dot{Y}_j$ do sistema:

$\dot{Y}_j = f_j(X, Y_1, Y_2, \ldots, Y_N)$, onde j=1,2, ... , N

a solução aproximada de y_j^{n+1} (aproximação da solução real $Y_j(X_{n+1})$) é dada por:

$$y_j^{n+1} = y_j^n + f_j\ (X, y_1^n, y_2^n, \ldots, y_N^n) \cdot \Delta X_n, \text{ onde } \Delta X_n = X_{n+1} - X_n$$

O cálculo numérico da última equação poderia ser, então, realizado pelo AD j. A mesma atribuição seria dada aos demais ADs do Computador Incremental, no caso em que possa existir um AD disponível para cada equação do sistema. De outra forma, um AD pode vir a acumular a execução de mais de uma equação do sistema.

4 - ASPECTOS APLICATIVOS DA ARQUITETURA DO COMPUTADOR INCREMENTAL

A arquitetura de processamento paralelo para Computação Incremental apresentada neste trabalho, se presta, em princípio, para aplicações na solução de uma extensa gama de sistemas representáveis por equações matemáticas. Em geral, se o sistema a ser resolvido é de ordem N, o grau de paralelismo desejável para o computador incremental implicaria na disponibilidade de N Analisadores Digitais (ADs), na solução do referido sistema. Quando a disponibilidade de Analisadores Digitais é menor que a ordem do sistema a ser resolvido, a solução eficiente com o recurso de processamento disponível exige uma criteriosa partição do sistema, no sentido de serem corretamente alocadas as atribuições de cálculo a serem executadas por cada um dos ADs.

O conceito funcional atribuido ao Controlador (CT), na arquitetura apresentada, lhe reserva especial importância não só na função de controle no sequenciamento da máquina como um todo, mas também na veiculação de recursos de E/S de dados. A ENTRADA de dados, neste caso, é de especial importância na solução de sistemas "excitados", isto é, não autônomos. A SAÍDA de dados é de interesse fundamental na obtenção dos dados de "solução" ou de "observação"(exemplo: variáveis de estado observáveis em um sistema de controle), ou mesmo, para "excitação" externa, dado que o computador incremental pode fazer parte de um sistema maior sendo emulado ou implementado em tempo real, ou mesmo, sendo simulado, com o auxílio de outros sub-sistemas externos a este mesmo computador incremental. Vale notar, também, que o próprio Analisador Digital não está, em princípio, impedido de dispor de recursos de E/S próprios, à semelhança do Controlador. No entanto, neste último caso, especial cuidado deve ser tomado no sequenciamento síncrono da solução do problema. O uso criterioso do CT como meio de E/S de dados pode permitir a implementação relativamente modesta de recursos de memória em cada um dos ADs. Desta forma, quando necessários, os recursos de memória de massa (exemplo: no armazenamento de extensas malhas de pontos do problema ou de um sistema de equações), eles podem, em princípio, se restringir aos recursos de armazenamento do CT ou de suas unidades periféricas.

O emprego do Computador Incremental não está restrito apenas à solução de sistemas representáveis por sistemas de equações a uma única variável independente, tal como foi exemplificado no item 3 deste trabalho. A solução de sistemas de equações multivariáveis, pode ser implementada com a mesma arquitetura básica deste computador incremental, extendendo-se os critérios de variação

incremental das respectivas variáveis independentes do problema, a partir dos mesmos critérios empregados para o caso de sistemas a uma única variável.

Um modelo padrão de Computador Incremental, com um número determinado de processadores, pode ser utilizado em simulação de problemas representáveis por sistemas de equações diferenciais. Essa opção pode representar considerável economia em relação ao processo tradicional, que é o de simulação de sistemas em computadores de propósito geral, que não dispõem de uma arquitetura concebida para a solução de problemas desse tipo.

Devido ao baixo custo de interconexão das unidades de processamento do Computador Incremental, e devido à disponibilidade atual de microprocessadores poderosos, com capacidade de coprocessamento aritmético, pode-se construir máquinas com grande poder de cálculo a um preço relativamente baixo, tornando assim atrativa a arquitetura do Computador Incremental em problemas que exigem grande volume de processamento ("number crunching"), com ou sem restrições de tempo real. Ou seja, o Computador Incremental, assim concebido, pode ser vantajosamente empregado na implementação (em casos de tempo real) ou na simulação de sistemas que podem ser modelados matematicamente, desde que se possa obter a estabilidade e a precisão desejada na solução de tais sistemas. Tanto a estabilidade como a precisão desejada na solução numérica de um sistema de equações dependem, fundamentalmente:

1 - dos critérios de emprego e dos tipos de métodos de integração a serem utilizados;

2 - da escolha criteriosa de intervalos de discretização das variáveis independentes;

3 - da precisão adequada na geração de funções intrínsecas;

4 - do grau de descontinuidade ("stiffness") das funções do sistema;

5 - do problema do valor inicial;

6 - da precisão dos parâmetros do sistema;

além de outros possíveis fatores [BERGAMINI, 78].

5 - PROTÓTIPO DE UM COMPUTADOR INCREMENTAL

O projeto Computação Incremental (COMINC), em desenvolvimento no Laboratório de Engenharia de Computação Aplicada (LAP) do Departamento de Engenha

ria de Computação (DCA) do Instituto de Pesquisas Espaciais (INPE), implementou um protótipo de Computador Incremental, chamado ASTRO L-V2, com 4 unidades de processamento: 1 CT e 3 ADs, utilizando a família de processadores TMS 9900(de 16 bits) da Texas Instruments.

A configuração atual do ASTRO L-V2 é mostrada em blocos na Fig.5.1.

Fig. 5.1 - Configuração Atual do Computador ASTRO L-V2.

Principais características do ASTRO L-V2:

- Processadores de 16 bits (CT e ADs);
- Frequência de relógio: 3,68 MHz (CT e ADs);
- Memória de Comunicação: 8 Kbytes (CT e ADs);
- Memória de trabalho:
  CT: 58 Kbytes;
  AD: 32 Kbytes;
- Taxa máxima de transferência de dados via ADM: 1 Mbytes/s.
- O barramento MBUS comporta a expansibilidade do sistema para até 63 Analisadores Digitais (ADs);
- Os ADs são dotados de coprocessador aritmético para uso no cálculo de funções intrínsecas e de aritmética em ponto flutuante.

- O Controlador (CT) possui os seguintes periféricos:
  - SUP: Supervisor, terminal programável para uso como "console" de operação;
  - DISQUETES: Memória de Massa para uso na E/S de dados;
  - IMPRESSORA: Para uso na listagem de dados de saída;
  - COMPUTADOR DE GRANDE PORTE: Para entrada de problemas a serem resolvidos ou de dados associados.

Foi implementada no Computador Incremental ASTRO L-V2 a solução da equação harmônica. Esta equação, por ser simples de se programar e por ter solução conhecida com precisão é um recurso clássico e muito adequado para se verificar e validar vários aspectos operacionais de um computador incremental, tais como: algoritmos de integração, recursos de comunicação de dados, entre outros.

Dados associados à solução da equação harmônica são fornecidos na Tabela 5.1.

TABELA 5.1 - SOLUÇÃO DA EQUAÇÃO HARMÔNICA

Equação Resolvida	$\ddot{Y}(X) + Y(X) = 0$
Precisão dos Dados Processados	Ponto fixo, 16 bits (1 bit para sinal)
Condições Iniciais	$Y(0) = 0{,}9999695$ $\dot{Y}(0) = 0$
Erro de Inicialização (para X = 0)	$E\ Y(0) = 3{,}05 \times 10^{-5} (\sim 2^{-15})$ $E\ \dot{Y}(0) = 0$
Tamanho do Passo de Integração	$\Delta X = 2^{-8} = 0{,}00390625$
Número de Passos	1608, no intervalo $X = (0, 2\pi)$
Método de Integração	Runge-Kutta de 2ª Ordem [Nilsen, 68]
Erro Absoluto Máximo no Intervalo $(0, 2\pi)$	$1{,}04 \times 10^{-4}$
Erro Absoluto Máximo no Último Passo de Integração	$2{,}13 \times 10^{-5}$

6 - CONCLUSÃO

O aparecimento e posterior barateamento de microprocessadores poderosos tornou atrativa a investigação e desenvolvimento de arquiteturas com recursos de processamento não convencionais. O projeto Computação Incremental, com o desenvolvimento e operacionalização do protótipo de Computador Incremental ASTRO L-V2 representa um esforço concreto de desenvolvimento de tecnologia nacional na área de arquitetura, software básico e aplicações para máquinas dotadas de recursos de processamento paralelo, adequadas para aplicações que requerem grande volume de cálculo.

O trabalho até aqui desenvolvido já permitiu à sua equipe de projeto a obtenção de dados de avaliação, fundamentais para o início de nova fase deste trabalho, já em andamento, que visa o desenvolvimento de um novo modelo de Computador Incremental, que deverá permitir a sua aplicação prática em problemas reais.

7 - AGRADECIMENTOS

Os autores agradecem ao colega Juan Suñe Perez pela revisão técnica deste trabalho.

BIBLIOGRAFIA

- BERGAMINI, E.W.; "The Backward-Difference Digital Differential Analyser as a Tool for Signal Processing", Proceedings of the UKSC Conference on Computer Simulation, Chester, England, 1978.
- BOWEN, B.A.; BUHR, R.J.A.; "The Logical Design of Multiple - Microprocessor Systems", Prentice Hall, 1980.
- MAYOROV, F.V.; "Electronic Digital Integrating Computers", London Iliffe, 1964.
- MISSAWA, M.; "Critérios para Otimização do Fluxo de Processamento em um Modelo de Computador Incremental com Recursos de Multiprocessamento". Tese de Mestrado - INPE - 1984.
- NILSEN, R.N.; "An Investigation of High Resolution Digital Differential Analysers", University of Southern California, Electronic Sciences Laboratory Report, USCEE-272, 1968.
- SIZER, T.R.H.; "The Digital Differential Analyser". Longon, Chapman and Hall, 1968.