

1. Publicação nº <i>INPE-3309-RTR/063</i>	2. Versão	3. Data <i>Outubro 1984</i>	5. Distribuição <input type="checkbox"/> Interna <input type="checkbox"/> Externa <input checked="" type="checkbox"/> Restrita
4. Origem <i>DCA/DEA</i>	Programa <i>SISMAG/PSDA</i>		
6. Palavras chaves - selecionadas pelo(s) autor(es) <i>MICROPROGRAMAÇÃO</i> <i>UNIDADE ARITMÉTICA MICROPROGRAMADA</i>			
7. C.D.U.:			
8. Título  <i>ASTROM - UNIDADE DE LÓGICA E PROCESSAMENTO/MANTISSA</i>		10. Páginas: <i>30</i>	
		11. Última página: <i>21</i>	
9. Autoria <i>Marcos Antônio Cardoso Cruz</i>		12. Revisada por  <i>Almir</i> <i>Almir C. Lemos Filho</i>	
Assinatura responsável <i>Marcos A. Cruz</i>		13. Autorizada por  <i>Parada</i> <i>Nelson de Jesus Parada</i> <i>Diretor Geral</i>	
14. Resumo/Notas  <i>Este trabalho apresenta as informações gerais, a teoria de operação e as instruções de uso para a placa Unidade de Lógica e Processamento/Mantissa da unidade aritmética microprogramada ASTROM.</i>			
15. Observações			

ABSTRACT

*The general information, operating theory and installation instruction for the Unidade de Lógica e Processamento/Mantissa board of ASTROM microprogrammed arithmetic unit are presented.*



## SUMÁRIO

	<u>Pág.</u>
LISTA DE TABELAS .....	v
LISTA DE SIGLAS .....	vi
1. <u>INFORMAÇÕES GERAIS</u> .....	1
1.1 - Descrição geral .....	1
2. <u>CONFIGURAÇÃO E INTERFACEAMENTO</u> .....	3
3. <u>DESCRIÇÃO FUNCIONAL</u> .....	10
REFERÊNCIAS BIBLIOGRÁFICAS .....	21



## LISTA DE TABELAS

	<u>Pág.</u>
1 - Especificações da unidade ULP/M .....	2
2 - Sinais nos conectores da ULP/M .....	4
3 - Controles do registro de dados .....	11
4 - Funções lógicas e aritméticas da ULP/M .....	12
5 - Controles do registro RQ .....	14
6 - Funções do registro de deslocamento .....	15
7 - Descrição da palavra de status .....	16
8 - Controle de AQ(S), SIGN e SI (PROM1) .....	17
9 - Controle dos "flip-flops" (PROM2 e PROM3) .....	18
10 - Descrição dos sinais de teste complexo .....	19
11 - Seleção do teste complexo .....	20



## LISTA DE SIGLAS

- L - Nível "0".
- H - Nível "1".
- X - Irrelevante ("don't care").
- ASTROM - Unidade aritmética microprogramada de ponto fixo e flutuante.
- UCN - Unidade de controle do ASTROM.
- ULP/M - Unidade de Lógica e Processamento/Mantissa do ASTROM.
- ULP/E - Unidade de Lógica e Processamento/Expoente do ASTROM.
- UML - Unidade de Multiplicação e Interface do ASTROM.
- PNL - Painel do ASTROM.





## 1. INFORMAÇÕES GERAIS

Este manual fornece as informações gerais, teoria de operação e instruções de uso da placa Unidade de Lógica e Processamento/Mantissa, integrante da unidade aritmética microprogramada ASTROM.

### 1.1 - DESCRIÇÃO GERAL

A Unidade de Lógica e Processamento/Mantissa executa as funções lógicas e aritméticas da unidade aritmética referente ao número inteiro ou parte da mantissa, quando se opera em ponto fixo ou ponto flutuante, respectivamente.

Esta unidade possui oito registros de dados, dos quais quatro são acessíveis ao usuário e quatro são de uso interno da unidade aritmética.

As operações aritméticas possíveis de ser utilizadas incluem a soma e subtração com operandos representados em complemento de 2. As funções lógicas compreendem uma variedade de funções booleanas AND, OR, XOR e NOT; além de funções de deslocamento para a direita ou para a esquerda dos dados.

Adicionalmente, esta unidade possui uma lógica para manipulação dos "flags" indicativos do "status" das operações efetuadas no ASTROM. O funcionamento da ULP/M é controlado pela Unidade de Controle (UCN) do ASTROM.

Os componentes utilizados na implementação da Unidade de Lógica e Processamento/Mantissa são, em geral, componentes "bit-slice" de alta velocidade. As famílias lógicas empregadas são a 74 S/74 LS (Texas, 1976) e Am 29/Am 25S (AMD, 1977 and 1981).

Na Tabela 1 são fornecidas as características e especificações físicas/elétricas de utilização da Unidade de Lógica e Processamento/Mantissa.

TABELA 1

ESPECIFICAÇÕES DA UNIDADE ULP/M

CARACTERÍSTICA	ESPECIFICAÇÃO
Níveis de saída	
estado "0"	0,4 V $\bar{m}ax$
estado "1"	2,4 V $\bar{m}in$
Níveis de entrada	
estado "0"	0,8 V $\bar{m}ax$
estado "1"	2,0 V $\bar{m}in$
Frequência de operação	5,5 MHz
Requisitos de alimentação	
tensão	+5,0 V $\pm$ 5%
corrente	2,7 A( $\bar{m}ax$ )
Dimensões	
altura	30 mm
largura	250 mm
profundidade	195 mm
Temperatura de operação	15 <sup>0</sup> C a +35 <sup>0</sup> C

## 2. CONFIGURAÇÃO E INTERFACEAMENTO

A Unidade de Lógica e Processamento/Mantissa é montada em uma placa de "wire-wrap" com dois conectores lineares de 70 pinos cada (passo 2,54 mm) para interfaceamento com os outros módulos do ASTROM. Estes conectores são denominados X e Y, acrescidos da letra A ou B, dependendo se for o lado dos componentes ou da fiação, respectivamente, e seguido do número do pino, que varia de 1 a 35 inclusive. A Figura 1 mostra a disposição dos conectores na placa e a Tabela 2 contém a relação dos sinais utilizados nos conectores.

Esta placa não contém nenhum "jumper" ou "dip-switch" para configuração de operação e os sinais envolvidos não apresentam nenhum "hand-shake" específico, constituindo-se em sinais de controle, de dados e de "status".

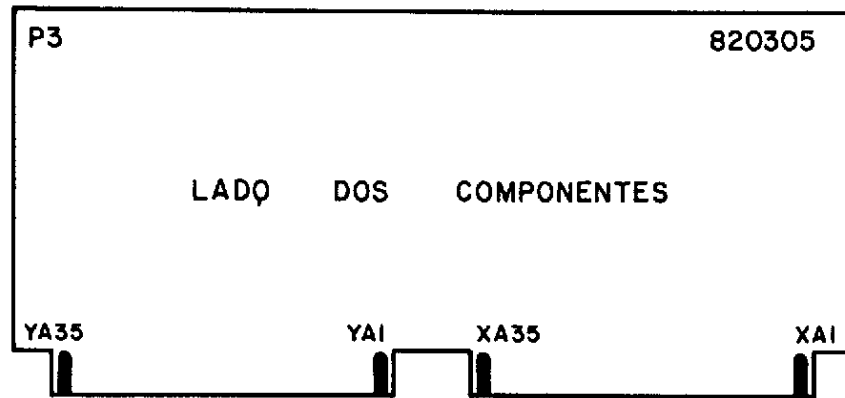


Fig. 1 - Disposição dos conectores da ULP/M.

TABELA 2 - SINAIS NOS CONECTORES DA ULP/M

SINAIS NOS CONECTORES		INPE - DCA/PSDA - PROG. DE SIST. DIGITAIS E ANALÓGICOS		FL: 01 DE 06	
PLACA: UNIDADE DE LÓGICA E PROCESSAMENTO/MANTISSA		CÓD: 820305			
EQUIP: UNIDADE ARITMÉTICA ASTROM		PROJ: SISMAG	APROV: / /	RESP: / /	
PINO	SINAL	E/S	ORIGEM / DESTINO	DESCRIÇÃO	OBS.
XA1	YBF(15)	E/S	UML	YBF(15-0) - barramento YBF	
XA2	YBF(14)	E/S	UML		
XA3	YBF(13)	E/S	UML		
XA4	VCC	E	FORTE	Alimentação	
XA5	YBF(12)	E/S	UML		
XA6	YBF(11)	E/S	UML		
XA7	YBF(10)	E/S	UML		
XA8	YBF(9)	E/S	UML		
XA9	YBF(8)	E/S	UML		
XA10	YBF(7)	E/S	UML		
XA11	VCC	E	FORTE	Alimentação	
XA12	YBF(6)	E/S	UML		
XA13	YBF(5)	E/S	UML		
XA14	YBF(4)	E/S	UML		
XA15	YBF(3)	E/S	UML		
XA16	YBF(2)	E/S	UML		
XA17	YBF(1)	E/S	UML		
XA18	VCC	E	FORTE	Alimentação	
XA19	YBF(0)	E/S	UML		
XA20	ENDA(0)	E	UCN	ENDA(2-0) - endereço A do Registro de Dados	
XA21	ENDA(1)	E	UCN		
XA22	ENDA(2)	E	UCN		
XA23	-				
XA24	HAFR	E	UCN	Habilitação da saída YA do Registro de Dados	

(continua)

Tabela 2 - Continuação

SINAIS NOS CONECTORES		INPE - DCA/PSDA - PROG. DE SIST. DIGITAIS E ANALÓGICOS		FL: 02 DE 06	
PLACA: UNIDADE DE LÓGICA E PROCESSAMENTO/MANTISSA			CÓD: 820305		
EQUIP: UNIDADE ARITMÉTICA ASTROM		PROJ: SISMAG	APROV: / /	RESP: / /	
PINO	SINAL	E/S	ORIGEM / DESTINO	DESCRIÇÃO	OBS.
XA25	VCC	E	FONTE	Alimentação	
XA26	LER	E	UCN	Controle de leitura do Registro de Dados	
XA27	HBFR	E	UCN	Habilitação da saída YB do Registro de Dados	
XA28	CAFCO	E	UCN	"Carry-in" da ULA/Mantissa	
XA29	CAFM	E	UCN	Controle de função da ULA/Mantissa	
XA30	ALU15	S	UCN/UPL-E	Sinal de ULA/Mantissa (15-0) igual a zero	
XA31	C15	S	UPL/E	"Carry-out" da ULA(15-0)	
XA32	VCC	E	FONTE	Alimentação	
XA33	SMX2	E	UCN	Seleção do MUX 2	
XA34	AFR(15)	S	UPL/E	Bit 15 da ULA/Mantissa	
XA35	CLK	E	UCN	Relógio da unidade aritmética	
YA1	EPR2(0)	E	UCN	EPR2(4-0) - endereço da PROM2 e PROM3	
YA2	EPR2(1)	E	UCN		
YA3	EPR2(2)	E	UCN		
YA4	VCC	E	FONTE	Alimentação	
YA5	EPR2(3)	E	UCN		
YA6	EPR2(4)	E	UCN		
YA7	EPR1(0)	E	UCN	EPR1(3-0) - endereço da PROM1	
YA8	EPR1(1)	E	UCN		
YA9	EPR1(2)	E	UCN		
YA10	EPR1(3)	E	UCN		
YA11	VCC	E	FONTE	Alimentação	
YA12	STC(0)	E	UCN	STC(1-0) - seleção de teste complexo	
YA13	STC(1)	E	UCN		

(continua)

Tabela 2 - Continuação

SINAIS NOS CONECTORES		INPE - DCA/PSDA - PROG. DE SIST. DIGITAIS E ANALÓGICOS		FL: 03 DE 06	
PLACA: UNIDADE DE LÓGICA E PROCESSAMENTO/MANTISSA			CÓD: 820305		
EQUIP: UNIDADE ARITMÉTICA ASTROM		PROJ: SISMAG	APROV: / /	RESP: / /	
PINO	SINAL	E / S	ORIGEM / DESTINO	DESCRIÇÃO	OBS
YA14	ALU23	E	ULP/E	Sinal de ULA/Mantissa (23-0) igual a zero	
YA15	AQXZ	E	ULP/E	Sinal de registro AQX igual a zero	
YA16	YBXZ	E	ULP/E	Sinal de barramento YBX igual a zero	
YA17	AQX24	E	ULP/E	Sinal de registro AQX maior que 24	
YA18	VCC	E	FORTE	Alimentação	
YA19	FCEXP	E	ULP/E	"carry" anterior da ULA/exponente	
YA20	TC(2)	S	UCN	Sinal de teste complexo -bit 2	
YA21	YA(S)	E	ULP/E	Sinal da mantissa YA	
YA22	YB(S)	E	ULP/E	Sinal da mantissa YB	
YA23	AQ(15)	E	UCN, ULP/E	Bit 15 do registro AQF	
YA24	EICD	E	ULP/E	Transporte do codificador de deslocamento	
YA25	VCC	E	FORTE	Alimentação	
YA26	YBF*(11)	S	ULP/E	YBF*(11-8) - barramento YBF*(11-8)	
YA27	YBF*(10)	S	ULP/E		
YA28	YBF*(9)	S	ULP/E		
YA29	YBF*(8)	S	ULP/E		
YA30	CDSL(0)	S	ULP/E	CDSL(2-0) - codificador de deslocamento (2-0)	
YA31	CDSL(1)	S	ULP/E		
YA32	VCC	E	FORTE	Alimentação	
YA33	CDSL(2)	S	ULP/E		
YA34	-				
YA35	-				
XB1	YAF(15)	E/S	UML	YAF(15-0) - barramento YAF	
XB2	YAF(14)	E/S	UML		

(continua)

Tabela 2 - Continuação

SINAIS NOS CONECTORES		INPE - DCA/PSDA - PROG. DE SIST. DIGITAIS E ANALÓGICOS		FL: 04 DE 06	
PLACA: UNIDADE DE LÓGICA E PROCESSAMENTO/MANUTISSA			CÓD: 820305		
EQUIP: UNIDADE ARITMÉTICA ASTROM		PROJ: SISWAG	APROV: / /	RESP: /	
PINO	SINAL	E / S	ORIGEM / DESTINO	DESCRIÇÃO	OBS.
XB3	YAF(13)	E/S	UML		
XB4	TRA	S	FORTE	Terra	
XB5	YAF(12)	E/S	UML		
XB6	YAF(11)	E/S	UML		
XB7	YAF(10)	E/S	UML		
XB8	YAF(9)	E/S	UML		
XB9	YAF(8)	E/S	UML		
XB10	YAF(7)	E/S	UML		
XB11	TRA	S	FORTE	Terra	
XB12	YAF(6)	E/S	UML		
XB13	YAF(5)	E/S	UML		
XB14	YAF(4)	E/S	UML		
XB15	YAF(3)	E/S	UML		
XB16	YAF(2)	E/S	UML		
XB17	YAF(1)	E/S	UML		
XB18	TRA	S	FORTE	Terra	
XB19	YAF(0)	E/S	UML		
XB20	ENDB(9)	E	UCN	ENDB(2-0) - endereço B do Registro de Dados	
XB21	ENDB(1)	E	UCN		
XB22	ENDB(2)	E	UCN		
XB23	-				
XB24	ZYA	E	UCN	Zera a "latch" YA do Registro de Dados	
XB25	TRA	S	FORTE	Terra	
XB26	ELSW	E	UCN	Controle de escrita da palavra menos significativa	

(continua)



Tabela 2 - Continuação

SINAIS NOS CONECTORES		INPE - DCA/PSDA - PROG. DE SIST. DIGITAIS E ANALÓGICOS		FL: 05 DE 06	
PLACA: UNIDADE DE LÓGICA E PROCESSAMENTO/MANTISSA				CÓD: 820305	
EQUIP: UNIDADE ARITMÉTICA ASTROM		PROJ: SISMAG	APROV: / /	RESP: / /	
PINO	SINAL	E/S	ORIGEM / DESTINO	DESCRIÇÃO	OBS.
XB27	CAFS(0)	E	UCN	CAFS(3-0) - controle da ULA/Mantissa	
XB28	CAFS(1)	E	UCN		
XB29	CAFS(2)	E	UCN		
XB30	CAFS(3)	E	UCN		
XB31	CFR	E	UCN	Carrega o Registro AQF	
XB32	TRA	S	FONTE	Terra	
XB33	ZFX	E	UCN	Zera Registros AQX, AQF e RQ	
XB34	HAQF	E	UML	Habilitação da saída do Registro AQF	
XB35	TCLK	E	UCN	Terra do relógio da unidade aritmética	
YB1	N ZERA	S	UML	Zera "pipeline" da UML	
YB2	DIR*	S	ULP/E	Seleção de deslocamento para a direita	
YB3	ESQ*	S	ULP/E	Seleção de deslocamento para a esquerda	
YB4	TRA	S	FONTE	Terra	
YB5	ERCI*	S	PNL/UCP	Bit de erro de conversão de inteiro	
YB6	FOP*	S	PNL/UCP	Bit de fim de operação	
YB7	UNDF*	S	PNL/UCP	Bit de "underflow"	
YB8	Z*	S	PNL/UCP	Bit de resultado igual a zero	
YB9	DIVZ*	S	PNL/UCP	Bit de divisão por zero	
YB10	OVF*	S	PNL/UCP	Bit de "overflow"	
YB11	TRA	S	FONTE	Terra	
YB12	YBFZ	S	UCN	Sinal de barramento YBF igual a zero	
YB13	FC23	E	ULP/E	"carry" anterior da ULA/Mantissa (23-0)	
YB14	CEXP	E	ULP/E	"carry-out" da ULA/expoente	
YB15	YAXZ	E	ULP/E	Sinal de barramento YAX igual a zero	

(continua)

Tabela 2 - Conclusão

SINAIS NOS CONECTORES		INPE - DCA/PSDA - PROG. DE SIST. DIGITAIS E ANALÓGICOS		FL: 06 DE 06	
PLACA: UNIDADE DE LÓGICA E PROCESSAMENTO/MANTISSA			COD: 820305		
EQUIP: UNIDADE ARITMÉTICA ASTROM		PROJ: SISMAG	APROV: / /	RESP: / /	
PINO	SINAL	E / S	ORIGEM / DESTINO	DESCRIÇÃO	OBS.
YB16	TC(0)	S	UCN	TC(1-0) - sinal de teste complexo	
YB17	TC(1)	S	UCN		
YB18	TRA	S	FORTE	Terra	
YB19	TC(3)	S	UCN	Sinal de teste complexo - bit 3	
YB20	SI	S	UCN	Variável de operação aritmética	
YB21	AQ(S)	S	ULP/E	Registro interno de sinal	
YB22	SIGN	S	PNL/UCP	Bit de sinal	
YB23	-				
YB24	-				
YB25	TRA	S	FORTE	Terra	
YB26	-				
YB27	-				
YB28	CSMDR	E	UCN	Seleção do multiplicador e Registro RQ	
YB29	HRQ	E	UML	Habilitação da saída do Registro RQ	
YB30	FC15	E	ULP/E	"carry" anterior da ULA/Mantissa (15-0)	
YB31	YBF(19)	E/S	ULP/E	Barramento YBF(19-16)	
YB32	TRA	S	FORTE	Terra	
YB33	YBF(18)	E/S	ULP/E	YBF(18-16) - barramento YBF(18-16)	
YB34	YBF(17)	E/S	ULP/E		
YB35	YBF(16)	E/S	ULP/E		

### 3. DESCRIÇÃO FUNCIONAL

O circuito da ULP/M compreende 7 módulos básicos, conforme pode ser visto na Figura 2. Estes módulos são denominados Registro de Dados, Unidade de Lógica e Aritmética, Registro AQFR, Registro RQ, Registro de Deslocamento, Lógica de Status e Lógica Auxiliar.

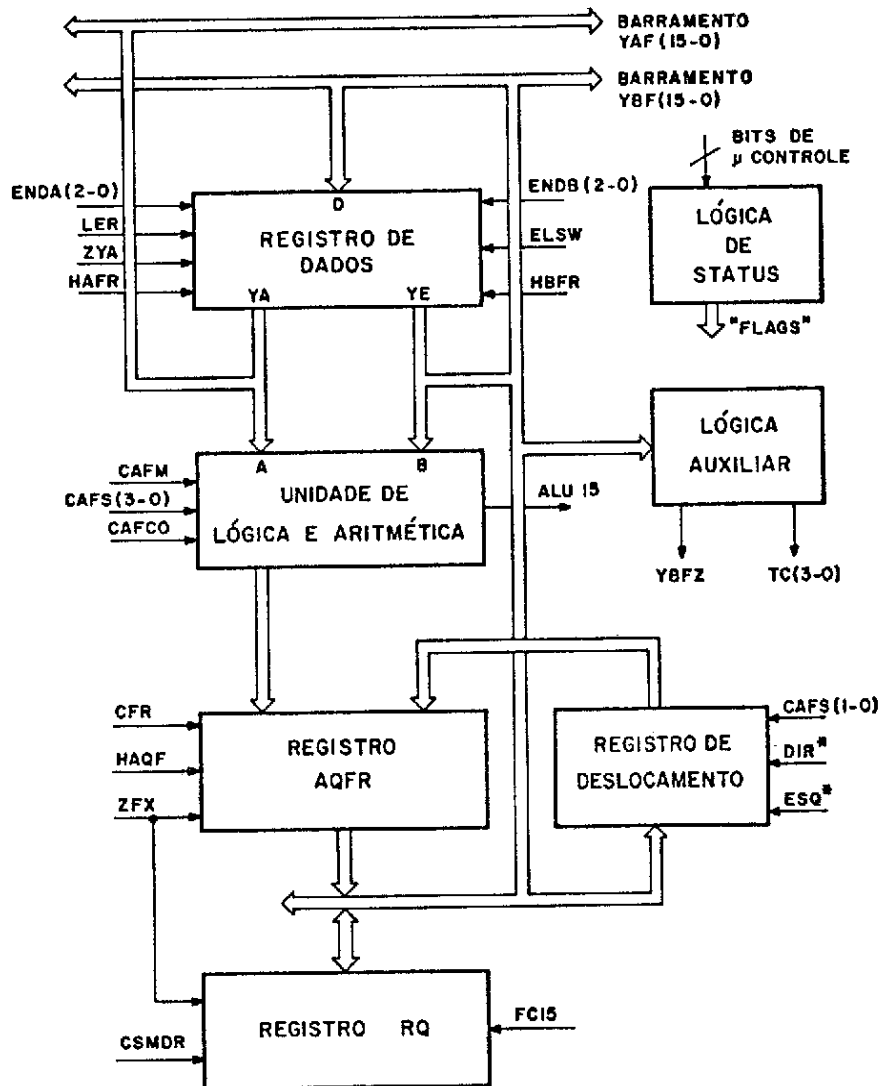


Fig. 2 - Esquema geral da ULP/M.

O Registro de Dados é constituído por memórias de acesso aleatório com 2 "ports" tipo Am 29705 (AMD, 1981). Este registro possui dois barramentos de endereço denominados ENDA(2-0) e ENDB(2-0) que permitem endereçar 2 registros de dados simultaneamente nas vias YAFR e YBFR, respectivamente.

A escrita de dados neste registro é controlada pelo sinal ELSW, o qual em nível "0" determina o armazenamento do conteúdo das entradas D no registro endereçado por ENDB(2-0).

O controle de leitura e das saídas do Registro de Dados é feito através dos sinais LER, ZYA, HAFR e HBFR, conforme a Tabela 3. Estes sinais podem ser combinados para compor uma ação desejada.

TABELA 3

CONTROLES DO REGISTRO DE DADOS

LER	ZYA	HAFR	HBFR	FUNÇÃO
1	X	X	X	"Latches" de saída transparentes
0	X	X	X	Retenção dos dados nas "latches"
X	0	X	X	Zera a saída da "latch" YA
X	1	X	X	Não altera a saída da "latch" YA
X	X	0	X	Ativa o "tri-state" da saída YA
X	X	1	X	Mantém a saída YA em "tri-state"
X	X	X	0	Ativa o "tri-state" da saída YB
X	X	X	1	Mantém a saída YB em "tri-state"

A Unidade de Lógica e Aritmética da ULP/M é a parte responsável pela execução das operações lógicas e aritméticas. Os operandos são fornecidos através das entradas A e B, enquanto o resultado da operação é dado na saída F. Este módulo é controlado pelos bits de microcontrole AFM, AFS(3-0) e AFCO. Ainda como resultado, ela fornece os "flag" C15, que representa o bit de transporte ("carry") da operação, e ALU15, que em nível 0 indica resultado igual a zero. As funções lógicas e aritméticas executáveis pela Unidade de Lógica e Aritmética estão listadas na Tabela 4.

TABELA 4

FUNÇÕES LÓGICAS E ARITMÉTICAS DA ULP/M

BITS DE MICROCONTROLE						FUNÇÃO
AFM	AFS(3)	(2)	(1)	(0)	AFCO	
0	0	0	0	0	0	A MAIS 1
0	0	0	0	0	1	A
0	0	0	0	1	0	A MAIS B MAIS 1
0	0	0	0	1	1	A + B
0	0	0	1	0	0	A MAIS (B)' MAIS 1
0	0	0	1	0	1	A MAIS (B)'
0	0	0	1	1	0	ZERO
0	0	0	1	1	1	MENOS 1
0	0	1	0	0	0	A MAIS (A-B') MAIS 1
0	0	1	0	0	1	A MAIS (A-B')
0	0	1	0	1	0	(A+B) MAIS (A-B') MAIS 1
0	0	1	0	1	1	(A+B) MAIS (A-B')
0	0	1	1	0	0	A MENOS B
0	0	1	1	0	1	A MENOS B MENOS 1
0	0	1	1	1	0	A-(B)'
0	0	1	1	1	1	(A-B') MENOS 1
0	1	0	0	0	0	A MAIS (A-B) MAIS 1

(continua)

Tabela 4 - Conclusão

BITS DE MICROCONTROLE						FUNÇÃO
AFM	AFS(3)	(2)	(1)	(0)	AFCO	
0	1	0	0	0	1	A MAIS (A·B)
0	1	0	0	1	0	(A+B) MAIS 1
0	1	0	0	1	1	A MAIS B
0	1	0	1	0	0	(A+B') MAIS (A·) MAIS 1
0	1	0	1	0	1	(A+B') MAIS (A·B)
0	1	0	1	1	0	A·B
0	1	0	1	1	1	(A·B) MENOS 1
0	1	1	0	0	0	A MAIS A MAIS 1
0	1	1	0	0	1	A MAIS A
0	1	1	0	1	0	(A+B) MAIS A MAIS 1
0	1	1	0	1	1	(A+B) MAIS A
0	1	1	1	0	0	(A+B') MAIS A MAIS 1
0	1	1	1	0	1	(A+B') MAIS A
0	1	1	1	1	0	A
0	1	1	1	1	1	A MENOS 1
1	0	0	0	0	X	(A)'
1	0	0	0	1	X	(A+B)'
1	0	0	1	0	X	(A')·B
1	0	0	1	0	X	ZERO
1	0	1	0	0	X	(A·B)'
1	0	1	0	1	X	(B)'
1	0	1	1	0	X	A XOR B
1	0	1	1	1	X	A·(B')
1	1	0	0	0	X	(A') + B
1	1	0	0	1	X	A XNOR B
1	1	0	1	0	X	B
1	1	0	1	1	X	A·B
1	1	1	0	0	X	1
1	1	1	0	1	X	A + (B')
1	1	1	1	0	X	A+B
1	1	1	1	1	X	A

OBS.: + representa a função lógica OU.  
 · representa a função lógica E.  
 ( )' representa a função lógica complemento.  
 XOR representa a função lógica OU exclusivo.  
 XNOR representa a função lógica NAO-OU exclusivo.  
 MAIS representa a operação aritmética de adição.  
 MENOS representa a operação aritmética de subtração.

O Registro AQFR é utilizado como registro auxiliar durante a realização das operações. Os dados a ser armazenados neste registro podem vir da Unidade de Lógica e Aritmética ou do Registro de Deslocamento, dependendo do bit de microcontrole SMX2 ser "0" ou "1", respectivamente. A saída deste registro está conectada ao barramento YBF e sua ativação é controlada pelo sinal HAQF. Os dados de entrada do Registro AQFR são armazenados através do bit de microcontrole CFR, sincronizado com o relógio do ASTROM. O bit de microcontrole ZFX, quando em nível "0", limpa o registro AQFR.

Por sua vez, o Registro RQ permite realizar apenas deslocamentos para a esquerda, sendo utilizado para implementar a divisão em ponto fixo. Este registro é controlado pelos sinais HRQ, ZFX e SMDR, conforme a Tabela 5.

TABELA 5

CONTROLES DO REGISTRO RQ

ZFR	HRQ	SMDR	FUNÇÃO
0	X	X	Limpa Registro RQ
1	X	0	Mantém os dados do Registro RQ
1	X	1	Desloca para esquerda com FC15 no bit menos significativo(*)
X	0	X	Ativa saída do Registro RQ
X	1	X	Mantém saídas em "tri-state"

(\*) O deslocamento é feito na transição positiva do sinal de relógio.

Outro registro da ULP/M corresponde ao Registro de Deslocamento, que permite a realização de deslocamento do operando para a direita e para a esquerda, conforme a Tabela 6. As saídas deste registro são controladas pelos sinais DIR\* e ESQ\*, os quais que, no nível "0", selecionam o operando deslocado para a direita ou para a esquerda respectivamente, e são enviadas como entrada para o Registro AQFR.

TABELA 6

FUNÇÕES DO REGISTRO DE DESLOCAMENTO

BITS DE MICROCONTROLE		FUNÇÃO
AFS(1)	AFS(0)	
0	0	Desloca 1 para a direita ou 4 para a esquerda
0	1	Desloca 2 para a direita ou 3 para a esquerda
1	0	Desloca 3 para a direita ou 2 para a esquerda
1	1	Desloca 4 para a direita ou 1 para a esquerda

A Lógica de Status localiza-se na placa da ULP/M e é responsável pelo controle dos bits de status da unidade aritmética. A Tabela 7 mostra os sinais que compõem a palavra de status do ASTROM. Esta lógica é constituída por flip-flops cujas entradas são controladas por memórias PROM, denominadas PROM1, PROM2 e PROM3. As funções da PROM1 estão listadas na Tabela 8, enquanto as das PROM2 e PROM3 estão na Tabela 9, visto que estas duas últimas memórias possuem em comum as linhas de endereço.



TABELA 7

DESCRIÇÃO DA PALAVRA DE STATUS

SINAL	ATIVO	CONTROLE	DESCRIÇÃO
AQ(S)	-	PROM1 (7-5)	Registro de sinal interno
SIGN	-	PROM1 (4-2)	Sinal do resultado
SI	-	PROM1 (1-0)	Variável de operação aritmética
OVF*	L	PROM2 (7-6)	"Overflow" do resultado
DIVZ*	L	PROM2 (5-4)	Divisão por zero
Z*	L	PROM2 (3-2)	Resultado igual a zero
UNDF*	L	PROM2 (1-0)	"Underflow" do resultado
FOP*	L	PROM3 (7-6)	Fim de operação
ERCI*	L	PROM3 (5-4)	Erro de conversão de inteiro
NZERA	L	PROM3 (3-2)	Zera "pipeline" da UML
DIR*/ESQ*	L	PROM3 (1-0)	Seleção da saída do Registro de Deslocamento (1)

OBS.: (1) - Os sinais DIR\* e ESQ\* são mutuamente exclusivos.

TABELA 8

CONTROLE DE AQ(S), SIGN E SI (PROM1)

BITS DE MICROCONTROLE EPR1(3) (2) (1) (0)				FUNÇÃO		
				AQ(S) ←	SIGN ←	SJ ←
0	0	0	0	0	0	0
0	0	0	1	SI + YB(S)	SIGN	SI
0	0	1	0	0	SIGN	SI
0	0	1	1	YA(S) + YB(S)	SIGN	SI
0	1	0	0	YAF(15)	SIGN	SI
0	1	0	1	YAF(15)	YAF(15) + YBF(15)	SI
0	1	1	0	YA(S)	SIGN	SI + YA(S) + YB(S)
0	1	1	1	AQ(S)	AQ(S)	SI
1	0	0	0	SI + YA(S)	YA(S)	SI
1	0	0	1	AQ(S)	AQ(15)	SI
1	0	1	0	AQ(S)	YAF(15) + YBF(15)	SI
1	0	1	1	AQ(S)	1	SI
1	1	0	0	AQ(S)	0	SI
1	1	0	1	AQ(S)	SIGN	1
1	1	1	0	AQ(S)	SIGN	0
1	1	1	1	AQ(S)	SIGN	SI

TABELA 9

CONTROLE DOS "FLIP-FLOPS" (PROM2 E PROM3)

BITS DE MICROCONTROLE EPR2(4) (3) (2) (1) (0)					FUNÇÃO							
					OVF*	DIVZ*	Z*	UNDF*	FOP*	ERCI*	NZERA	DIR*/ ESQ*
0	0	0	0	0	1	1	1	1	1	1	0	DIR*
0	0	0	0	1	-	-	0	-	0	-	-	-
0	0	0	1	0	-	-	-	-	0	-	-	-
0	0	1	0	0	-	-	0	0	0	-	-	-
0	0	1	0	1	1	1	1	0	1	1	0	DIR*
0	0	1	1	0	0	0	-	1	0	-	-	-
0	0	1	1	1	-	-	-	1	0	-	-	-
0	1	0	0	0	0	-	-	1	0	-	-	-
0	1	0	0	1	-	-	-	-	-	-	0	-
0	1	0	1	0	-	-	-	-	-	-	1	-
0	1	0	1	1	-	-	-	0	-	-	-	-
0	1	1	0	0	0	-	-	-	-	-	-	-
0	1	1	0	1	-	-	-	1	-	-	-	-
0	1	1	1	0	-	-	1	-	-	-	-	-
0	1	1	1	1	-	-	-	-	-	0	-	-
1	0	0	0	0	-	-	0	-	-	-	-	-
1	0	0	0	1	-	-	-	-	-	1	-	-
1	0	0	1	0	-	-	1	1	0	1	-	-
1	0	0	1	1	1	-	0	0	0	1	-	-
1	0	1	0	0	1	-	-	1	1	0	1	-
1	0	1	0	1	0	-	-	-	0	0	-	-
1	0	1	1	0	-	-	-	-	-	-	-	ESQ*
1	0	1	1	1	-	-	-	-	-	-	-	DIR*
1	1	0	0	0	-	-	-	-	-	-	-	-

OBS.: - significa que o sinal permanece inalterado.

Completando a descrição da ULP/M tem-se a Lógica Auxiliar, que compreende a Seleção de Teste Complexo e parte do Codificador de Deslocamento da mantissa.

A Seleção do Teste Complexo é responsável pela escolha dos sinais a ser utilizados pelo Controle de Teste Complexo da unidade de Controle de Teste Complexo da unidade de controle (UCN) do ASTROM e é controlado pelo sinais STC(1-0). A descrição dos sinais de teste complexo e a sua seleção estão listadas nas Tabelas 10 e 11, respectivamente.

Por sua vez, o Codificador de Deslocamento baseia-se no codificador de prioridade 9318 (Fairchild, 1978), que tem uma parte localizada na placa da ULP/M e uma parte na placa da ULP/E. Este codificador fornece como resultado a linha de maior número do barramento YBF que esteja no nível "0" e é utilizado para a normalização de operandos nas rotinas aritméticas, especialmente as de ponto flutuante.

TABELA 10

DESCRIÇÃO DOS SINAIS DE TESTE COMPLEXO

SINAL	ATIVO	ORIGEM	DESCRIÇÃO
OVF	H	ULP/M	bit de "overflow"
UNDF	H	ULP/M	bit de "underflow"
FXC	-	ULP/M	função complexa de sinais
SIGN	H	ULP/M	bit de sinal
ALU23	L	ULP/E	ULA/Mantissa (23-0) igual a zero
AQXZ	L	ULP/E	registro AQX igual a zero
AQ(S)	-	ULP/M	registro interno de sinal

(continua)

Tabela 10 - Conclusão

SINAL	ATIVO	ORIGEM	DESCRIÇÃO
FC15	-	ULP/E	"carry" anterior da ALUFR(15-0)
YBXZ	L	ULP/E	barramento YBX igual a zero
AQX24		ULP/E	registro AQX > 24
YBFZ	L	ULP/M	barramento YBF igual a zero
FCEXP	-	ULP/E	"carry" anterior da ALUEXP
YAXZ	L	ULP/E	barramento YAX igual a zero
CEXP	-	ULP/E	"carry-out" da ULA/expoente
FC23	-	ULP/E	"carry" anterior da ULA/Mantissa (23-0)

TABELA 11

SELEÇÃO DO TESTE COMPLEXO

BITS DE MICROCONTROLE		SINAIS SELECIONADOS			
STC(1)	STC(0)	TC(3)	TC(2)	TC(1)	TC(0)
0	0	OVF	ALU23	YVXZ	YAXZ
0	1	UNDF	AQXZ	AQX24	CEXP
1	0	FXC	AQ(S)	YBFZ	FC23
1	1	SIGN	FC15	FCEXP	CEXP

## REFERÊNCIAS BIBLIOGRÁFICAS

- ADVANCED MICRO DEVICES, INC. *Bipolar microprocessor logic and interface data book*. Sunnyvale, CA, 1981.
- . *Schottky and low-power schottky data book*. Sunnyvale, CA, 1977.
- FAIRCHILD. *Full line condensed catalog*. Mountain View, CA, c1978.
- TEXAS INSTRUMENTS. *The TTL data book for design engineers*. 2. ed. Texas Inst., Dallas, TX, 1976.